

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re

U.S. application: Yoshio HAGIHARA and Kenji TAKADA
For: IMAGE-SENSING APPARATUS
U.S. Serial No.: To Be Assigned
Filed: Concurrently
Group Art Unit: To Be Assigned
Examiner: To Be Assigned

1c564 U.S. PTO
09/618326
07/18/00

Assistant Director
for Patents

Box PATENT APPLICATION

Washington, D.C. 20231

Dear Sir:

EXPRESS MAIL MAILING LABEL NO.: EL195379495US
DATE OF DEPOSIT: JULY 18, 2000

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to the Assistant Director for Patents, BOX PATENT APPLICATION, Washington, DC 20231.

DERRICK GORDON

Name of Person Mailing Paper or Fee

Derrick Gordon
Signature

July 18, 2000

Date of Signature

CERTIFIED COPIES OF PRIORITY DOCUMENTS

Submitted herewith are certified copies of Japanese Patent Application Nos. 11-207696 and 11-208267, filed July 22, 1999, respectively.

Priority benefit under 35 U.S.C. § 119/365 for these Japanese patent applications is claimed for the above-identified United States patent application.

Respectfully submitted,

By: *James W. Williams*
James W. Williams
Registration No. 20,047
Attorney for Applicants

JWW/fls
SIDLEY & AUSTIN
717 North Harwood, Suite 3400
Dallas, Texas 75201-6507
(214) 981-3328 (direct)
(214) 981-3300 (main)
July 13, 2000

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 7 月 2 2 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 2 0 7 6 9 6 号

出 願 人

Applicant (s):

ミノルタ株式会社

1c564 U.S. PRO
09/618326

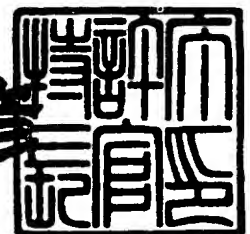


CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 0 年 5 月 1 9 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 3 6 5 9 9

【書類名】 特許願
 【整理番号】 P990722145
 【提出日】 平成11年 7月22日
 【あて先】 特許庁長官 殿
 【国際特許分類】 H01L 27/14
 【発明の名称】 固体撮像装置
 【請求項の数】 24
 【発明者】
 【住所又は居所】 大阪府中央区安土町二丁目 3 番 1 3 号 大阪国際ビル
 ミノルタ株式会社内
 【氏名】 萩原 義雄
 【特許出願人】
 【識別番号】 000006079
 【氏名又は名称】 ミノルタ株式会社
 【代理人】
 【識別番号】 100085501
 【弁理士】
 【氏名又は名称】 佐野 静夫
 【手数料の表示】
 【予納台帳番号】 024969
 【納付金額】 21,000円
 【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9716119
 【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 の電極が接続された第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュولد領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた固体撮像装置において、

前記第 1 のトランジスタの制御電極の電圧を切り換える電圧切換手段を有し、

前記電圧切換手段によって前記第 1 のトランジスタの制御電極の電圧を切り換えて、前記第 1 のトランジスタのポテンシャル状態がリセットされることを特徴とする固体撮像装置。

【請求項 2】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極が光電変換素子の第 2 電極に接続されるとともに第 2 電極に直流電圧が印加され、光電変換素子からの出力電流が流れ込む第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとから構成され、

前記第 1 のトランジスタの制御電極に一端が接続されるリセット用キャパシタを有し、

前記リセット用キャパシタの他端に第 1 の電圧を与えて、前記第 1 のトランジスタを閾値以下のサブスレッシュولد領域で動作させて撮像を行い、

前記リセット用キャパシタの他端に与える電圧を第 2 の電圧に変化して前記第 1 のトランジスタの制御電極の電圧を変化することによって、前記光電変換手段

によって蓄積された光電荷と逆極性の電荷を流入させて、蓄積された光電荷と再結合させてリセットした後、前記リセット用キャパシタの他端に与える電圧をもとの第 1 の電圧に戻すことを特徴とする固体撮像装置。

【請求項 3】 前記第 1 のトランジスタの制御電極と第 1 電極が接続されることを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 4】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極が光電変換素子の第 2 電極に接続されるとともに第 2 電極に直流電圧が印加され、光電変換素子からの出力電流が流れ込む第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとから構成され、

前記第 1 のトランジスタの制御電極に一端が接続されるリセット用キャパシタを有し、又、前記第 1 のトランジスタの制御電極と第 1 電極との間にスイッチが設けられ、

前記スイッチを ON するとともに前記リセット用キャパシタの他端に第 1 の電圧を与えて、前記第 1 のトランジスタを閾値以下のサブスレッショルド領域で動作させて撮像を行い、

前記リセット用キャパシタの他端に与える電圧を第 2 の電圧に変化して前記第 1 のトランジスタの制御電圧を変化することによって、前記光電変換手段によって蓄積された光電荷と逆極性の電荷を流入させてリセットした後、前記リセット用キャパシタの他端に与える電圧をもとの第 1 の電圧に戻すことを特徴とする固体撮像装置。

【請求項 5】 前記各画素に設けられた前記スイッチを OFF とするとともに、前記第 1 のトランジスタの第 2 電極に印加する直流電圧を変化させて、前記第

1 のトランジスタの第 2 電極より電荷を流入させることによって前記各画素の感度のバラツキを検出することを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】 前記スイッチがトランジスタであることを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 7】 前記画素が、マトリクス状に配設されることを特徴とする請求項 4 ～請求項 6 のいずれかに記載の固体撮像装置。

【請求項 8】 前記光電変換手段から出力される電気信号を積分する積分回路を有し、該積分回路で積分した信号を前記導出路を介して前記出力信号線へ導出することを特徴とする請求項 1 ～請求項 7 のいずれかに記載の固体撮像装置。

【請求項 9】 前記積分した信号を前記出力信号線へ出力した後に、前記積分回路の電荷を放出するリセット手段を有することを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 1 0】 前記リセット手段が、第 1 電極と第 2 電極と制御電極とを備え、前記積分回路に第 1 電極が接続されたトランジスタで構成され、

該トランジスタの制御電極に印加する電圧のレベルを変化して該トランジスタを導通させたとき、前記積分回路に蓄積された電荷が放出されることを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 1 1】 前記各画素が、前記光電変換手段の出力信号を増幅する増幅用トランジスタを有しており、該増幅用トランジスタの出力信号を前記導出路を介して前記出力信号線へ出力することを特徴とする請求項 4 ～請求項 7 のいずれかに記載の固体撮像装置。

【請求項 1 2】 前記出力信号線に接続された負荷抵抗又は定電流源を有し、前記負荷抵抗又は定電流源の総数が全面素数より少ないことを特徴とする請求項 1 1 に記載の固体撮像装置。

【請求項 1 3】 前記負荷抵抗又は定電流源は、前記出力信号線に接続された第 1 電極と、直流電圧に接続された第 2 電極と、直流電圧に接続された制御電極とを有する抵抗用トランジスタであることを特徴とする請求項 1 2 に記載の固体撮像装置。

【請求項 1 4】 前記増幅用トランジスタが N チャンネルの MOS トランジスタであり、前記増幅用トランジスタの第 1 電極に印加される直流電圧が、前記抵抗用トランジスタの第 2 電極に接続される直流電圧よりも高電位であることを特徴とする請求項 1 3 に記載の固体撮像装置。

【請求項 1 5】 前記増幅用トランジスタが P チャンネルの MOS トランジスタであり、前記増幅用トランジスタの第 1 電極に印加される直流電圧が、前記抵抗用トランジスタの第 2 電極に接続される直流電圧よりも低電位であることを特徴とする請求項 1 3 に記載の固体撮像装置。

【請求項 1 6】 前記導出路は、全面素の中から所定のものを順次選択し、選択された画素からの出力信号を出力信号線に導出するスイッチを含むことを特徴とする請求項 4 ～請求項 7、請求項 1 1 ～請求項 1 5 のいずれかに記載の固体撮像装置。

【請求項 1 7】 複数の画素を有する固体撮像装置において、
各画素が、
フォトダイオードと、
該フォトダイオードの一方の電極に第 1 電極とゲート電極が接続された第 1 MOS トランジスタと、
該第 1 MOS トランジスタの第 1 電極とゲート電極とにゲート電極が接続された第 2 MOS トランジスタと、
前記第 1 MOS トランジスタのゲート電極に一端が接続された第 1 キャパシタとを有し、

前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第 1 キャパシタに第 1 の電圧を与えて、前記第 1 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させ、

前記画素のリセットを行うときは、前記第 1 キャパシタに第 2 の電圧を与えて前記第 1 MOS トランジスタのポテンシャルを変化させ、前記フォトダイオードから与えられて蓄積された光電荷を再結合させることを特徴とする固体撮像装置。

【請求項 18】 前記第 1 MOS トランジスタの第 1 電極とゲート電極との間に設けられ、前記第 1 MOS トランジスタの第 1 電極に第 1 電極が接続されるとともに、前記第 1 MOS トランジスタのゲート電極に第 2 電極が接続された第 3 MOS トランジスタを有し、

前記第 3 MOS トランジスタを非導通の状態にするとともに前記第 1 キャパシタに第 2 の電圧を与え、更に、前記第 1 MOS トランジスタの第 2 電極に印加された電圧を変化させて、前記第 1 MOS トランジスタの第 2 電極より電荷を流入することによって、前記第 1 MOS トランジスタの閾値のバラツキを検出することを特徴とする請求項 17 に記載の固体撮像装置。

【請求項 19】 前記画素が、第 1 電極が前記第 2 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 5 MOS トランジスタを有することを特徴とする請求項 17 又は請求項 18 に記載の固体撮像装置。

【請求項 20】 前記画素が、第 1 電極に直流電圧が印加され、ゲート電極が前記第 2 MOS トランジスタの第 2 電極に接続されるとともに、前記第 2 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 4 MOS トランジスタを有することを特徴とする請求項 17 又は請求項 18 に記載の固体撮像装置。

【請求項 21】 前記画素が、第 1 電極が前記第 4 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 5 MOS トランジスタを有することを特徴とする請求項 20 に記載の固体撮像装置。

【請求項 22】 前記画素が、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 2 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 2 MOS トランジスタを介してリセットされる第 2 キャパシタを有することを特徴とする請求項 20 又は請求項 21 に記載の固体撮像装置。

【請求項 23】 前記第 2 MOS トランジスタの第 1 電極に直流電圧が印加されるとともに、

前記画素が、

前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 6 MOS トランジスタと、

前記第 2 MOS トランジスタの第 2 電極に一端が接続される信号線に接続されるとともに、前記第 6 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 6 MOS トランジスタを介してリセットされる第 2 キャパシタと、

を有することを特徴とする請求項 2 0 又は請求項 2 1 に記載の固体撮像装置。

【請求項 2 4】 前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成す MOS トランジスタを備えていることを特徴とする請求項 1 7 ~ 請求項 2 3 のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は固体撮像装置に関するものであり、特に複数の画素を配置した固体撮像装置に関する。

【 0 0 0 2 】

【従来の技術】

固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きが無く、振動や磁界などの環境条件に強い。又、L S I (Large Scale Integrated circuit) と共通の工程又は類似の工程で製造できるので、信頼性が高く、量産にも適している。このため、ライン状に画素が配された固体撮像装置がファクシミリやフラットベッドスキャナに、マトリクス状に画素が配された固体撮像装置がビデオカメラやデジタルカメラなどに幅広く使用されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す（取り出す）手段によって CCD 型と MOS 型に大きく分けられる。CCD 型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、ダイナミックレンジが狭いという欠点がある。一方、MOS 型はフォトダイオードの p n 接合容量に蓄積した電荷を MOS トランジスタを通して読み出すようになっている。

【0003】

ここで、従来のMOS型固体撮像装置の1画素当りの構成を図25に示し説明する。同図において、PDはフォトダイオードであり、そのカソードがMOSトランジスタT1のゲートとMOSトランジスタT2のドレインに接続されている。MOSトランジスタT1のソースはMOSトランジスタT3のドレインに接続され、MOSトランジスタT3のソースは出力信号線Voutへ接続されている。またMOSトランジスタT1のドレインには直流電圧VPDが印加され、MOSトランジスタT2のソースとフォトダイオードのアノードには直流電圧VPSが印加されている。

【0004】

フォトダイオードPDに光が入射すると、光電荷が発生し、その電荷はMOSトランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルス ϕV を与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を流れて出力信号線Voutへ導出される。このようにして入射光量に比例した出力電流を読み出すことができる。信号読み出し後はMOSトランジスタT3をOFFにするとともに、MOSトランジスタT2のゲートに信号 ϕRS を与えてMOSトランジスタT2をONすることでMOSトランジスタT1のゲート電圧を初期化させることができる。

【0005】

【発明が解決しようとする課題】

このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生しMOSトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため露光量を精密に制御しなければならず、しかも露光量を精密に制御しても暗い部分が黒くつぶれたり、明るい部分が飽和したりしていた。一方、本出願人は、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れうる状態にバイアスするバイアス手段とを備え、光電流を対数変換するようにした固体撮像装置を提案した（特

開平 3-192764 号公報参照)。

【0006】

この固体撮像装置が撮像動作を行った後、基の状態にリセットする際、各画素は、低輝度域の状態までは光電流の逆極性となる電流（「リセット電流」と呼ぶ。）が MOS トランジスタに流入しやすいため、MOS トランジスタに充電された光電荷が再結合されて高速でリセットされる。しかしながら、各画素が低輝度域の状態になると、MOS トランジスタの閾値電圧の影響を受けて、リセット電流が流入しにくくなる。よって、MOS トランジスタに充電された光電荷が再結合されにくくなるため、リセットに時間がかかる。このように低輝度域では各画素の応答性が悪くなるため、再び撮像動作を行ったとき、残像が発生しやすくなるという問題がある。

【0007】

本発明はこのような点に鑑みなされたものであって、高輝度域から低輝度域までの幅広い輝度範囲の被写体を高精細に撮像することができるとともに、低輝度域でも各画素が高速に基の状態にリセットされる応答性の良い固体撮像装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記の目的を達成するため請求項 1 に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 の電極が接続された第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた固体撮像装置において、前記第 1 のトランジスタの制御電極の電圧を切り換える電圧切換手段を有し、前記電圧切換手段によって前記第 1 のトランジスタの制御電極の電圧を切り換えて、前記第 1 のトランジスタのポテンシャル状態がリセットされることを特徴とする。

【0009】

又、請求項 2 に記載の固体撮像装置は、入射した光量に対して自然対数的に変

換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、第1電極と第2電極と制御電極とを備え、第1電極が光電変換素子の第2電極に接続されるとともに第2電極に直流電圧が印加され、光電変換素子からの出力電流が流れ込む第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極に接続され、第2電極から電気信号を出力する第2のトランジスタとから構成され、前記第1のトランジスタの制御電極に一端が接続されるリセット用キャパシタを有し、前記リセット用キャパシタの他端に第1の電圧を与えて、前記第1のトランジスタを閾値以下のサブスレッショルド領域で動作させて撮像を行い、前記リセット用キャパシタの他端に与える電圧を第2の電圧に変化して前記第1のトランジスタの制御電極の電圧を変化することによって、前記光電変換手段によって蓄積された光電荷と逆極性の電荷を流入させて、蓄積された光電荷と再結合させてリセットした後、前記リセット用キャパシタの他端に与える電圧をもとの第1の電圧に戻すことを特徴とする。

【0010】

このような固体撮像装置において、請求項3に記載するように、前記第1のトランジスタの制御電極と第1電極が接続された構成としても良い。

【0011】

請求項4に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、第1電極と第2電極と制御電極とを備え、第1電極が光電変換素子の第2電極に接続されるとともに第2電極に直流電圧が印加され、光電変換素子からの出力電流が流れ込む第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極に接続され、第2電極から電気信号を出力する第2のトランジスタとから構成され、

前記第1のトランジスタの制御電極に一端が接続されるリセット用キャパシタを有し、又、前記第1のトランジスタの制御電極と第1電極との間にスイッチが設けられ、前記スイッチをONするとともに前記リセット用キャパシタの他端に第1の電圧を与えて、前記第1のトランジスタを閾値以下のサブスレッショルド領域で動作させて撮像を行い、前記リセット用キャパシタの他端に与える電圧を第2の電圧に変化して前記第1のトランジスタの制御電圧を変化することによって、前記光電変換手段によって蓄積された光電荷と逆極性の電荷を流入させてリセットした後、前記リセット用キャパシタの他端に与える電圧をもとの第1の電圧に戻すことを特徴とする。

【0012】

請求項4のような構成によると、請求項5に記載するように、前記各画素に設けられた前記スイッチをOFFとするとともに、前記第1のトランジスタの第2電極に印加する直流電圧を変化させて、前記第1のトランジスタの第2電極より電荷を流入させることによって前記各画素の感度のバラツキを検出することができる。又、前記スイッチを、請求項6に記載するように、トランジスタで構成しても構わない。

【0013】

請求項7に記載の固体撮像装置は、請求項4～請求項6のいずれかに記載の固体撮像装置において、前記画素がマトリクス状に配設されることを特徴とする。

【0014】

請求項8に記載の固体撮像装置は、請求項1～請求項7のいずれかに記載の固体撮像装置において、前記光電変換手段から出力される電気信号を積分する積分回路を有し、該積分回路で積分した信号を前記導出路を介して前記出力信号線へ導出することを特徴とする。

【0015】

このような構成によると、各画素からの出力信号は積分回路で積分されるので、この出力信号に含まれる光源の変動成分や高周波のノイズは、積分回路で吸収され除去される。又、請求項9に記載するように、前記積分した信号を前記出力信号線へ出力した後に、前記積分回路の電荷を放出するリセット手段を設けるこ

とによって、各画素が出力を行った後に、初期化することができる。このリセット手段は、請求項 1 0 に記載するように、第 1 電極と第 2 電極と制御電極とを備え、前記積分回路に第 1 電極が接続されたトランジスタとすることによって、該トランジスタの制御電極に印加する電圧のレベルを変化して該トランジスタを導通させて、前記積分回路に蓄積された電荷を放出することができる。

【 0 0 1 6 】

請求項 1 1 に記載の固体撮像装置は、請求項 4 ～請求項 7 のいずれかに記載の固体撮像装置において、前記各画素が、前記光電変換手段の出力信号を増幅する増幅用トランジスタを有しており、該増幅用トランジスタの出力信号を前記導出路を介して前記出力信号線へ出力することを特徴とする。

【 0 0 1 7 】

このような固体撮像装置によると、増幅用トランジスタによって、出力信号が増幅されて十分な大きさとなって出力されるので、感度の良い撮像信号となる。このような固体撮像装置において、請求項 1 2 に記載するように、前記出力信号線に接続されたその総数が全画素数より少ない負荷抵抗又は定電流源を設けても良い。

【 0 0 1 8 】

負荷抵抗又は定電流源として請求項 1 3 に記載するように、前記出力信号線に接続された第 1 電極と、直流電圧に接続された第 2 電極と、直流電圧に接続された制御電極とを有する抵抗用トランジスタとしても良い。又、増幅用トランジスタを N チャンネルの MOS トランジスタとする場合、請求項 1 4 に記載するように、前記増幅用トランジスタの第 1 電極に印加される直流電圧を、前記抵抗用トランジスタの第 2 電極に接続される直流電圧よりも高電位とすればよい。又、増幅用トランジスタを P チャンネルの MOS トランジスタとする場合、請求項 1 5 に記載するように、前記増幅用トランジスタの第 1 電極に印加される直流電圧を、前記抵抗用トランジスタの第 2 電極に接続される直流電圧よりも低電位とすればよい。更に、導出路としては、請求項 1 6 に記載するように、全画素の中から所定のものを順次選択し、選択された画素から増幅された信号を出力信号線に導出するスイッチを含むものを用いても良い。

【0019】

請求項17に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極とゲート電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第1電極とゲート電極とにゲート電極が接続された第2MOSトランジスタと、前記第1MOSトランジスタのゲート電極に一端が接続された第1キャパシタとを有し、前記画素に撮像動作をさせるときは、前記フォトダイオードから出力される電気信号を自然対数的に変換するように、前記第1キャパシタに第1の電圧を与えて、前記第1MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときは、前記第1キャパシタに第2の電圧を与えて前記第1MOSトランジスタのポテンシャルを変化させ、前記フォトダイオードから与えられて蓄積された光電荷を再結合させることを特徴とする。

【0020】

このような固体撮像装置において、請求項18に記載するように、前記第1MOSトランジスタの第1電極とゲート電極との間に、前記第1MOSトランジスタの第1電極に第1電極が接続されるとともに、前記第1MOSトランジスタのゲート電極に第2電極が接続された第3MOSトランジスタを設けて、前記第3MOSトランジスタを非導通の状態にするとともに前記第1キャパシタに第2の電圧を与え、更に、前記第1MOSトランジスタの第2電極に印加された電圧を変化させて、前記第1MOSトランジスタの第2電極より電荷を流入することによって、前記第1MOSトランジスタの閾値のバラツキを検出することができる。

【0021】

又、請求項19に記載するように、前記画素に、第1電極が前記第2MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSトランジスタを設けても良い。又、請求項20に記載の固体撮像装置のように、前記画素に、第1電極に直流電圧が印加され、ゲート電極が前記第2MOSトランジスタの第2電極に接続されるとともに

、前記第2 MOSトランジスタの第2電極から出力される出力信号を増幅する第4 MOSトランジスタを設けても良い。

【0022】

請求項21に記載の固体撮像装置は、請求項20に記載の固体撮像装置において、前記画素が、第1電極が前記第4 MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5 MOSトランジスタを有することを特徴とする。

【0023】

請求項22に記載の固体撮像装置は、請求項20又は請求項21に記載の固体撮像装置において、前記画素が、前記第2 MOSトランジスタの第2電極に一端が接続される信号線に接続されるとともに、前記第2 MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第2 MOSトランジスタを介してリセットされるキャパシタを有することを特徴とする。

【0024】

請求項23に記載の固体撮像装置は、請求項20又は請求項21に記載の固体撮像装置において、前記第4 MOSトランジスタの第1電極に直流電圧が印加されるとともに、前記画素が、前記第2 MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第6 MOSトランジスタと、前記第2 MOSトランジスタの第2電極に一端が接続される信号線に接続されるとともに、前記第6 MOSトランジスタのゲート電極にリセット電圧が与えられたときに前記第6 MOSトランジスタを介してリセットされるキャパシタと、を有することを特徴とする。

【0025】

請求項24に記載の固体撮像装置は、請求項17～請求項23のいずれかに記載の固体撮像装置において、前記画素に対し前記出力信号線を介して接続された負荷抵抗又は定電流源を成す MOSトランジスタを備えていることを特徴とする。

【 0 0 2 6 】

【発明の実施の形態】

＜画素構成の第 1 例＞

以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図 1 は本発明の一実施形態である二次元の MOS 型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。2 は垂直走査回路であり、行（ライン）4-1、4-2、 \dots 、4-n を順次走査していく。3 は水平走査回路であり、画素から出力信号線 6-1、6-2、 \dots 、6-m に導出された光電変換信号を画素ごとに水平方向に順次読み出す。5 は電源ラインである。各画素に対し、上記ライン 4-1、4-2 \dots 、4-n や出力信号線 6-1、6-2 \dots 、6-m、電源ライン 5 だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図 1 ではこれらについて省略し、図 2 に示す第 1 の実施形態において示している。

【 0 0 2 7 】

出力信号線 6-1、6-2、 \dots 、6-m ごとに N チャネルの MOS トランジスタ Q 2 が図示の如く 1 つずつ設けられている。MOS トランジスタ Q 2 のドレインは出力信号線 6-1 に接続され、ソースは最終的な信号線 9 に接続され、ゲートは水平走査回路 3 に接続されている。尚、後述するように各画素内にはスイッチ用の N チャネルの第 3 MOS トランジスタ T 3 も設けられている。ここで、MOS トランジスタ T 3 は行の選択を行うものであり、MOS トランジスタ Q 2 は列の選択を行うものである。

【 0 0 2 8 】

＜第 1 の実施形態＞

図 1 に示した画素構成の第 1 例の各画素に適用される第 1 の実施形態（図 2）について、図面を参照して説明する。

【 0 0 2 9 】

図 2 において、pn フォトダイオード PD が感光部（光電変換部）を形成している。そのフォトダイオード PD のアノードは第 1 MOS トランジスタ T 1 のゲ

ート及びドレイン、第2MOSトランジスタT2のゲートに接続されている。MOSトランジスタT2のソースは行選択用の第3MOSトランジスタT3のドレインに接続されている。MOSトランジスタT3のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT1～T3は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0030】

又、フォトダイオードPDのカソードには直流電圧VPDが印加されるようになっている。一方、MOSトランジスタT1のソースには直流電圧VPSが印加され、MOSトランジスタT2のソースには他端に直流電圧VPSが印加されるキャパシタC2の一端が接続される。MOSトランジスタT2のドレインには信号φDが入力され、又、MOSトランジスタT3のゲートには信号φVが入力される。更に、MOSトランジスタT1、T2のゲート同士が接続された接続ノードに、他端に信号φVRBが与えられるキャパシタC1の一端が接続される。尚、信号φVRBは2値の電圧信号で、例えばグランドレベルをローレベルとし、又、このローレベルよりも高い電圧をハイレベルとする。

【0031】

(1) 各画素への入射光を電気信号に変換する動作について

図2のような回路構成の画素において、MOSトランジスタT1がサブスレッショルド領域で動作するように、キャパシタC1に与える信号φVRBをローレベルとする。このように、信号φVRBをローレベルにすることによって、キャパシタC1はMOSトランジスタT1、T2のゲート、バックゲートにおける絶縁酸化膜で形成されるキャパシタと同様の働きをする。

【0032】

このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSトランジスタT1、T2のゲートに発生する。この電圧により、MOSトランジスタT2に電流が流れ、キャパシタC2には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタC2

とMOSトランジスタT2のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT3はOFFの状態である。

【0033】

次に、MOSトランジスタT3のゲートにパルス信号 ϕV を与えて、MOSトランジスタT3をONにすると、キャパシタC2に蓄積された電荷が、出力電流として出力信号線6に導出される。この出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。又、信号読み出し後、MOSトランジスタT3をOFFする。

【0034】

（2）各画素のリセット動作について

以下に、図面を参照して、図2のような回路構成の画素のリセット動作について説明する。図3は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図4は、各画素のリセットを行う際のフォトダイオードPD及びMOSトランジスタT1のポテンシャルの状態を示す図である。尚、図4（a）がフォトダイオードPDとMOSトランジスタT1の構造を表した断面図であるとともに、図4（b）～（e）が、この図4（a）の断面図に応じた各部のポテンシャルを示す図である。尚、図4（b）～（e）において、矢印の方向がポテンシャルが高いことを表す。

【0035】

ところで、フォトダイオードPDは、例えば、図4（a）のように、P型の半導体基板（以下、「P型基板」という。）10に、N型ウェル層11を形成するとともに、そのN型ウェル層11にP型拡散層12を設けることによって形成される。又、MOSトランジスタT1は、P型基板10にN型拡散層13、14を形成し、且つ、そのN型拡散層13、14間のチャンネル上に順次、酸化膜15とポリシリコン層16を形成することによって構成される。ここで、N型ウェル層11がフォトダイオードPDのカソード側を形成するとともに、P型拡散層12がアノード側を形成する。又、N型拡散層13、14が、それぞれMOSトラ

ンジスタT1のドレイン、ソースを形成するとともに、酸化膜15及びポリシリコン層16がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板10において、N型拡散層13、14の間の領域をゲート下領域ということにする。

【0036】

(1)で説明したように、MOSトランジスタT3のゲートにパルス ϕV を与えることによって、図2のような回路構成の各画素から入射光に対して対数変換された電気信号（出力信号）が出力信号線6に出力される。このように出力信号が出力されてパルス ϕV がローレベルになると、リセット動作が始まる。このリセット動作について、図3及び図4を参照して説明する。

【0037】

まず、パルス信号 ϕV がトランジスタT3のゲートに与えられて、出力信号が出力された後、リセット動作が始まる。つまり、MOSトランジスタT1のソース側より負の電荷が流れ込み、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、フォトダイオードPDのアノード、そしてキャパシタC1に蓄積された正の電荷が再結合される。よって、図4(b)のように、ある程度まで、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが下がる。

【0038】

このように、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、キャパシタC1に与える電圧 ϕV_{RB} を高くして、MOSトランジスタT1のゲート電圧を高くする。このように、MOSトランジスタT1のゲート電圧を高くすることによって、MOSトランジスタT1のポテンシャルが図4(c)のように変化し、ゲート下領域及びドレインのポテンシャルが高くなる。よって、MOSトランジスタT1のソースから流入する負の電荷の量が増加し、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、フォトダイオードPDのアノード、そしてキ

ャパシタC 1に蓄積された正の電荷が速やかに再結合される。

【0039】

よって、図4（d）のように、MOSトランジスタT 1のドレイン及びゲート下領域のポテンシャルが図4（c）の状態と比べて低くなる。図4（d）のようにMOSトランジスタT 1のポテンシャルが変化すると、キャパシタC 1に印加する電圧 ϕ VRBをローレベルにして、MOSトランジスタT 1のゲート電圧を低くする。よって、MOSトランジスタT 1のドレイン及びゲート下領域のポテンシャルが、図4（e）のようになって、基の状態にリセットされる。このように、MOSトランジスタT 1のポテンシャルの状態を基の状態にリセットした後、信号 ϕ Dの電圧をローレベルにして、キャパシタC 2を放電して、接続ノードaの電位を基の状態にリセットする。その後、信号 ϕ Dの電圧をハイレベルに戻して撮像動作が行える状態にする。

【0040】

このように、感光素子であるフォトダイオードPDに第1電極が接続されたMOSトランジスタT 1の制御電極の電圧を切り換えてリセットを行うことにより、固体撮像装置の各画素の応答性が改善される。従って、暗い被写体を撮像する場合や、明るい被写体が急に暗くなった場合にも残像の発生を防止して良好な撮像が可能となる。

【0041】

尚、各画素からの信号読み出しは電荷結合素子（CCD）を用いて行うようにしてもかまわない。この場合、図2のMOSトランジスタT 3に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。

【0042】

<画素構成の第2例>

図5は本発明の他の実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11～Gmnは行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素

から出力信号線 6-1、6-2、・・・、6-m に導出された光電変換信号を画素ごとに水平方向に順次読み出す。5 は電源ラインである。各画素に対し、上記ライン 4-1、4-2・・・、4-n や出力信号線 6-1、6-2・・・、6-m、電源ライン 5 だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図 5 ではこれらについて省略し、図 7 以降の各実施形態において示している。

【0043】

出力信号線 6-1、6-2、・・・、6-m ごとに N チャネルの MOS トランジスタ Q1、Q2 が図示の如く 1 組ずつ設けられている。MOS トランジスタ Q1 のゲートは直流電圧線 7 に接続され、ドレインは出力信号線 6-1 に接続され、ソースは直流電圧 VPS' のライン 8 に接続されている。一方、MOS トランジスタ Q2 のドレインは出力信号線 6-1 に接続され、ソースは最終的な信号線 9 に接続され、ゲートは水平走査回路 3 に接続されている。

【0044】

画素 G11~Gmn には、後述するように、それらの画素で発生した光電荷に基づく信号を出力する N チャネルの MOS トランジスタ Ta が設けられている。MOS トランジスタ Ta と上記 MOS トランジスタ Q1 との接続関係は図 6 (a) のようになる。この MOS トランジスタ Ta は、第 2、第 3、第 5 の実施形態では、第 4 MOS トランジスタ T4 に、第 4、第 6 の実施形態では、第 2 MOS トランジスタ T2 に相当する。ここで、MOS トランジスタ Q1 のソースに接続される直流電圧 VPS' と、MOS トランジスタ Ta のドレインに接続される直流電圧 VPD' との関係は $VPD' > VPS'$ であり、直流電圧 VPS' は例えばグランド電圧（接地）である。この回路構成は上段の MOS トランジスタ Ta のゲートに信号が入力され、下段の MOS トランジスタ Q1 のゲートには直流電圧 DC が常時印加される。このため下段の MOS トランジスタ Q1 は抵抗又は定電流源と等価であり、図 6 (a) の回路はソースフォロワ型の増幅回路となっている。この場合、MOS トランジスタ Ta から増幅出力されるのは電流であると考えてよい。

【0045】

MOS トランジスタ Q2 は水平走査回路 3 によって制御され、スイッチ素子と

して動作する。尚、後述するように図7以降の各実施形態の画素内にはスイッチ用のNチャネルの第3MOSトランジスタT3も設けられている。このMOSトランジスタT3も含めて表わすと、図6(a)の回路は正確には図6(b)のようになる。即ち、MOSトランジスタT3がMOSトランジスタQ1とMOSトランジスタTaとの間に挿入されている。ここで、MOSトランジスタT3は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。尚、図5および図6に示す構成は以下に説明する第2の実施形態～第6の実施形態に共通の構成である。

【0046】

図6のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジスタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0047】

<第2の実施形態>

図5に示した画素構成の第2例の各画素に適用される第2の実施形態について、図面を参照して説明する。図7は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0048】

図7に示すように、本実施形態では、図2に示す画素に、接続ノードaにゲートが接続され接続ノードaの電圧に応じた電流増幅を行う第4MOSトランジスタT4と、接続ノードaの電位の初期化を行う第5MOSトランジスタT5とが

付加された構成となる。MOSトランジスタT3のソースは出力信号線6（この出力信号線6は図5の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT4、T5も、MOSトランジスタT1～T3と同様に、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0049】

又、MOSトランジスタT4のドレインには直流電圧VPDが印加され、MOSトランジスタT3のゲートには信号 ϕV が入力される。又、MOSトランジスタT5のソースには直流電圧VRB2が印加されるとともに、そのゲートには信号 ϕVRS が入力される。更に、MOSトランジスタT2のドレインには直流電圧VPDが印加される。尚、本実施形態において、MOSトランジスタT1～T3及びキャパシタC1、C2は、第1の実施形態（図2）と同様の動作を行い、入射光に対して対数変換した電気信号（出力信号）を出力することができる。

【0050】

（1）各画素への入射光を電気信号に変換する動作について

この実施形態において、信号 ϕVRS の電圧値をローレベルにして、MOSトランジスタT1をサブスレッショルド領域で動作させることにより、第1の実施形態と同様に、フォトダイオードPDが入射光に応じて出力する光電流に対して自然対数的に変換させた出力信号を出力信号線6に出力することができる。以下、このように光電流を自然対数的に変換した出力信号を出力するときの図7に示す画素内の各素子の動作について説明する。

【0051】

フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT1、T2のゲートに発生する。この電圧により、MOSトランジスタT2に電流が流れ、キャパシタC2には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタC2とMOSトランジスタT2のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT3、T5はOFF状態である。

【 0 0 5 2 】

次に、MOSトランジスタT3のゲートにパルス信号 ϕV を与えて、MOSトランジスタT3をONにすると、MOSトランジスタT4のゲートにかかる電圧に比例した電流がMOSトランジスタT3、T4を通して出力信号線6に導出される。今、MOSトランジスタT4のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出した後、MOSトランジスタT3をOFFにする。

【 0 0 5 3 】

(2) 各画素のリセット動作について

以下に、図面を参照して、図7のような回路構成の画素のリセット動作について説明する。図8は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。(1)で説明したように、MOSトランジスタT3のゲートにパルス ϕV を与えることによって、図7のような回路構成の各画素が入射光に対して対数変換した電気信号（出力信号）が出力信号線6に出力される。このように出力信号が出力されてパルス ϕV がローレベルになると、リセット動作が始まる。又、本実施形態の画素をリセットするときのMOSトランジスタT1のポテンシャルの状態は、第1の実施形態と同様、図4(b)～(e)のようになる。よって、図4及び図8を参照して、そのリセット動作について説明する。

【 0 0 5 4 】

まず、パルス信号 ϕV がMOSトランジスタT3のゲートに与えられて、出力信号が出力されると、リセット動作が始まる。そして、第1の実施形態と同様に、MOSトランジスタT1のソース側より負の電荷が流れ込み、MOSトランジスタT1のポテンシャルが図4(b)のような状態になる。

【 0 0 5 5 】

次に、キャパシタC1に与える電圧 ϕV_{RB} をハイレベルにして、MOSトランジスタT1のゲート電圧を高くすることで、図4(c)のように、MOSトランジスタT1のゲート下領域及びドレインのポテンシャルを高くする。よって、M

OSトランジスタT1のソースから流入する負の電荷の量が増加し、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、フォトダイオードPDのアノード、そしてキャパシタC1に蓄積された正の電荷が速やかに再結合される。

【0056】

よって、図4(d)のように、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが低くなる。図4(d)のようにMOSトランジスタT1のポテンシャルが変化すると、キャパシタC1に印加する電圧 ϕ_{VRB} をローレベルにして、MOSトランジスタT1のゲート電圧を低くする。よって、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが、図4(e)のようになって、基の状態にリセットされる。このように、MOSトランジスタT1のポテンシャルの状態を基の状態にリセットした後、MOSトランジスタT5のゲートにパルス信号 ϕ_{VRS} を与え、MOSトランジスタT5を介してキャパシタC2を放電して、接続ノードaの電位を基の状態にリセットする。

【0057】

<第3の実施形態>

第3の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図7に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0058】

図9に示すように、本実施形態では、MOSトランジスタT2のドレインに信号 ϕ_D を与えることによってキャパシタC2及び接続ノードaの電位を初期化するようにし、それによってMOSトランジスタT5を削除した構成となっている。その他の構成は第2の実施形態(図7)と同一である。尚、信号 ϕ_D のハイレベル期間では、第1の実施形態(図2)と同様にキャパシタC2で積分が行なわれ、ローレベル期間では、キャパシタC2の電荷がMOSトランジスタT2を通して放電され、キャパシタC2の電圧及びMOSトランジスタT4のゲートは略信号 ϕ_D のローレベル電圧になる(リセット)。本実施形態では、MOSトラン

ジスタT5を省略できる分、構成がシンプルになる。

【0059】

この実施形態において、撮像動作をさせるときは、第2の実施形態と同様に、キャパシタC1に与える信号 ϕ VRBをローレベルにして、MOSトランジスタT1がサブスレッショルド状態で動作するようにする。又、信号 ϕ Dをハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタC2に蓄積する。そして、所定のタイミングでMOSトランジスタT3をONにして、MOSトランジスタT4のゲートにかかる電圧に比例した電流をMOSトランジスタT3、T4を通して出力信号線6に導出する。

【0060】

又、各画素をリセットするときは、第1の実施形態と同様、図3のタイミングで信号を制御する。即ち、まず、第1の実施形態と同様に、パルス信号 ϕ Vが与えられた後、リセット動作が始まる。次に、キャパシタC1に与える電圧 ϕ VRBを高くして、MOSトランジスタT1のゲート電圧を高くすることによって、MOSトランジスタT1のソースから流入する負の電荷の量を増加させる。よって、第1の実施形態と同様に、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、フォトダイオードPDのアノード、そしてキャパシタC1に蓄積された正の電荷が速やかに再結合される。

【0061】

そして、キャパシタC1に印加する電圧 ϕ VRBを基の状態にして、MOSトランジスタT1のゲート電圧を低くして、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルを基の状態にリセットする。このように、MOSトランジスタT1のポテンシャルの状態を基の状態にリセットした後、信号 ϕ Dの電圧をローレベルにして、キャパシタC2を放電して、接続ノードaの電位を基の状態にリセットする。その後、信号 ϕ Dの電圧をハイレベルに戻して撮像動作が行える状態にする。

【0062】

<第4の実施形態>

第4の実施形態について、図面を参照して説明する。図10は、本実施形態に

使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0063】

図10に示すように、本実施形態では、MOSトランジスタT2のドレインに直流電圧VPDが印加されるとともに、キャパシタC2及びMOSトランジスタT4を削除した構成となっている。即ち、MOSトランジスタT2のソースにMOSトランジスタT3のドレインが接続される。その他の構成は第3の実施形態（図9）と同一である。

【0064】

このような構成の回路において、撮像動作をさせるときは、第3の実施形態と同様に、キャパシタC1に与える信号 ϕ VRBをローレベルにして、MOSトランジスタT1がサブスレッショルド状態で動作するようにする。このようにMOSトランジスタT1を動作させることによって、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSトランジスタT2を流れる。

【0065】

そして、MOSトランジスタT3のゲートにパルス信号 ϕ Vを与えてONとすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSトランジスタT3を通して出力信号線6に導出される。このとき、MOSトランジスタT2及びMOSトランジスタQ1（図5）の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSトランジスタT3をOFFにする。

【0066】

又、各画素をリセットする際には、第3の実施形態と同様に、まず、パルス信号 ϕ Vが与えられた後、リセット動作が始まる。次に、キャパシタC1に与える電圧 ϕ VRBを高くして、MOSトランジスタT1のゲート電圧を高くすることによって、MOSトランジスタT1のソースから流入する負の電荷の量を増加させる。よって、第1の実施形態と同様に、MOSトランジスタT1のゲート及びド

レイン、MOSトランジスタT2のゲート、フォトダイオードPDのアノード、そしてキャパシタC1に蓄積された正の電荷が速やかに再結合される。

【0067】

そして、キャパシタC1に印加する電圧 ϕ_{VRB} をローレベルにして、MOSトランジスタT1のゲート電圧を低くして、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルを基の状態にリセットする。このように、MOSトランジスタT1のポテンシャルの状態を基の状態にリセットして、再び撮像動作が行える状態にする。

【0068】

尚、本実施形態では上記第3の実施形態のように、光信号をキャパシタC2で一旦積分するというを行わないので、積分時間が不要となり、又、キャパシタC2のリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第3の実施形態に比し、キャパシタC2及びMOSトランジスタT4を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

【0069】

<第5の実施形態>

第5の実施形態について、図面を参照して説明する。図11は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0070】

図11に示すように、本実施形態では、第3の実施形態（図9）のようにMOSトランジスタT1のドレインとゲートを接続せずに、第6MOSトランジスタT6を介してドレインとゲートを接続するようにしている。このMOSトランジスタT6は、ドレインがMOSトランジスタT1のドレインに接続され、又、ソースがMOSトランジスタT1のゲートとキャパシタC1との接続ノードに接続される。更に、MOSトランジスタT6のゲートには信号 ϕ_S が与えられ、又、MOSトランジスタT1のソースには信号 ϕ_{VPS} が与えられる。尚、本実施形態

においては、信号 ϕ VPSは3値的に変化するものとし、例えば直流電圧VPDと略等しい電圧をハイレベル、例えばグラウンドをローレベルとし、MOSトランジスタT1をサブスレッショルド領域で動作させるための電圧を両者の中間的な電圧である中間レベルとする。中間レベルでは、例えば、直流電圧VPSと略等しい電圧とする。

【0071】

(1) 各画素への入射光を電気信号に変換する動作について

このような構成の回路において、撮像動作をさせるときは、まず、信号 ϕ SをハイレベルにしてMOSトランジスタT6を導通状態にするとともに、MOSトランジスタT1がサブスレッショルド領域で動作するようにバイアスするために信号 ϕ VPSを中間レベルにし、キャパシタC1に与える信号 ϕ VRBをローレベルにする。このように各信号のレベルを設定することによって、本実施形態における画素の回路構成が第3の実施形態(図9)と同様の回路構成となる。

【0072】

このとき、信号 ϕ Dをハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタC2に蓄積する。そして、所定のタイミングでMOSトランジスタT3をONにして、MOSトランジスタT4のゲートにかかる接続ノードaの電圧に比例した電流をMOSトランジスタT3、T4を通して出力信号線6に導出する。このようにして、光電流に対して自然対数的に変換した電流信号を出力した後、MOSトランジスタT3をOFFにする。

【0073】

(2) 各画素のリセット動作について

又、各画素をリセットする際の動作について、図12のタイミングチャートと図13のポテンシャルの変遷図を参照して、以下に説明する。尚、図13において、矢印の方向がポテンシャルが高いことを示す。まず、パルス信号 ϕ Vが与えられた後、リセット動作が始まる。そして、信号 ϕ SをローレベルにすることによってMOSトランジスタT6を非導通にした後、信号 ϕ VRBをハイレベルにする。ここで信号 ϕ VPSの電圧をローレベルにすることによって、MOSトランジスタT1のポテンシャルを図13(a)のような状態にして、負の電荷をソース

からMOSトランジスタT1に流入させる。

【0074】

このMOSトランジスタT1に流入した負の電荷Eが、図13(a)のように蓄積された後、信号 ϕ VPSをその値が直流電圧VPDに略等しいハイレベルにする。このとき、MOSトランジスタT1のソースのポテンシャルがゲート下領域のポテンシャルより高くなるので、蓄積された負の電荷Eの一部がソースより流出される。よって、図13(b)のように、MOSトランジスタT1のドレイン、フォトダイオードPDのアノード、及びMOSトランジスタT2のゲートに負の電荷E'が蓄積された状態となる。このように負の電荷E'が蓄積された状態にあるため、MOSトランジスタT2のゲート電圧が、負の電荷E'によって定まる。又、負の電荷E'は、MOSトランジスタT1のドレイン・ゲート間における閾値電圧によって決定されるので、MOSトランジスタT2のゲート電圧はMOSトランジスタT1の閾値電圧によって決まる値である。

【0075】

この状態を維持したまま、まず、信号 ϕ Dをローレベルにして、キャパシタC2を一旦リセットする。そして、信号 ϕ Dをもとのハイレベルに戻し、MOSトランジスタT2のゲート電圧によってサンプリングされた電流をキャパシタC2に充電する。このようにキャパシタC2を充電することによって接続ノードaに表れる電圧を、パルス信号 ϕ Vを与えることで、MOSトランジスタT4で電流増幅したのち、出力信号としてMOSトランジスタT3を介して出力信号線6に出力する。

【0076】

尚、感度バラツキの検出自体はごく短時間で行われるので、以上の過程において、バラツキ検出を行う際にフォトダイオードへ光が入射していても構わないが、好ましくは、フォトダイオードには閾値バラツキの検出に影響がでるような強い光が照射されないように保つようにする。暗状態にすることが好ましいが、強い光が照射されない常光の下であっても良い。このようにすると、フォトダイオードから不必要な電気信号が発生せずバラツキ検出をより正確に行うことができる。尚、この点は後述する各実施形態についても当てはまる。

【0077】

このように、各画素の感度のバラツキの原因であるMOSトランジスタT1の閾値電圧に比例した値となる信号を出力したのち、信号 ϕ VPSを中間レベルにするとともに信号 ϕ VRBをローレベルにする。そして、信号 ϕ SをハイレベルにしてMOSトランジスタT6を導通させると、まず、第3の実施形態（図9）と同様に、 ϕ VRBをハイレベルにしたのちローレベルにすることによって、速やかにMOSトランジスタT1のリセットを行う。そして、信号 ϕ Dをローレベルにしたのちハイレベルにすることによって、キャパシタC2のリセットを行う。

【0078】

このように、本実施形態の回路構成をした画素によると、各画素が撮像動作を行ったのち、各画素の感度のバラツキの原因となるMOSトランジスタの閾値電圧に比例した信号を各画素からの出力を補正するための補正データとして検出することができる。更にいえば、予め、後続回路においてメモリに、撮像時に出力された画像データを画素毎に記憶するとともに、各画素内のMOSトランジスタの閾値電圧に比例した電流を図5の信号線9から画素毎にシリアルに出力して、後続回路における別のメモリに画素毎の補正データとして記憶しておく。そして、この画像データを補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図24に示している。

【0079】

<第6の実施形態>

第6の実施形態について、図面を参照して説明する。図14は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図11に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0080】

図14に示すように、本実施形態では、MOSトランジスタT2のドレインに電圧VPDが印加されるとともに、キャパシタC2及びMOSトランジスタT4を削除した構成となっている。その他の構成は第5の実施形態（図11）と同一で

ある。

【0081】

このように、本実施形態の構成と第5の実施形態の構成との関係は、第4の実施形態の構成（図10）と第3の実施形態の構成（図9）との関係に対応している。よって、フォトダイオードPD、MOSトランジスタT1、T2、T3、T6及びキャパシタC1が、第5の実施形態と同様の動作を行うことによって、撮像動作及びリセット動作が行われる。又、出力信号は、第4の実施形態と同様に、MOSトランジスタT2から流れる電流が、出力電流としてMOSトランジスタT3を介して出力信号線6に出力される。このとき、MOSトランジスタT2及びMOSトランジスタQ1（図5）の導通時抵抗とそれらを通る電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSトランジスタT3をOFFにする。

【0082】

以上説明した第1～第6の実施形態は、画素内の能動素子であるMOSトランジスタT1～T6を全てNチャネルのMOSトランジスタで構成しているが、これらのMOSトランジスタT1～T6を全てPチャネルのMOSトランジスタで構成してもよい。図16及び図19～図23には、上記第1～第6の実施形態をPチャネルのMOSトランジスタで構成した例である第7～第12の実施形態を示している。そのため図15～図23では接続の極性や印加電圧の極性が逆になっている。例えば、図16（第7の実施形態）において、フォトダイオードPDはアノードに直流電圧VPDに接続され、カソードが第1MOSトランジスタT1のドレインに接続され、また第2MOSトランジスタT2のゲートに接続されている。MOSトランジスタT1のソースには直流電圧VPSが印加される。

【0083】

ところで、図16のような画素が対数変換を行うとき、直流電圧VPSと直流電圧VPDは、 $VPS > VPD$ となっており、図2（第1の実施形態）と逆である。また、キャパシタC2の出力電圧は初期値が高い電圧で、積分によって降下する。また、第3MOSトランジスタT3をONさせるときには、低い電圧をゲートに

印加する。更に、図 19 以降の実施形態（第 8～第 12 の実施形態）において、第 5 MOS トランジスタ T5 や第 6 MOS トランジスタ T6 を ON させるときには、低い電圧をゲートに印加する。以上の通り、N チャネルの MOS トランジスタを使った場合に比し、P チャネルの MOS トランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図 16 及び図 19～図 23 については図面で示すのみで、その構成や動作についての説明は省略する。

【0084】

第 7 の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図 15 に示し、第 8～第 12 の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図 17 に示している。図 15 及び図 17 については、図 1 及び図 5 と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図 17 の構成について簡単に説明する。列方向に配列された出力信号線 6-1、6-2、・・・、6-m に対して P チャネルの MOS トランジスタ Q1 と P チャネルの MOS トランジスタ Q2 が接続されている。MOS トランジスタ Q1 のゲートは直流電圧線 7 に接続され、ドレインは出力信号線 6-1 に接続され、ソースは直流電圧 VPS' のライン 8 に接続されている。

【0085】

一方、MOS トランジスタ Q2 のドレインは出力信号線 6-1 に接続され、ソースは最終的な信号線 9 に接続され、ゲートは水平走査回路 3 に接続されている。ここで、MOS トランジスタ Q1 は画素内の P チャネルの MOS トランジスタ Ta と共に図 18 (a) に示すような増幅回路を構成している。尚、MOS トランジスタ Ta は、第 8、第 9、第 11 の実施形態では第 4 MOS トランジスタ T4 に相当し、又、第 10、第 12 の実施形態では第 2 MOS トランジスタ T2 に相当する。

【0086】

この場合、MOS トランジスタ Q1 は MOS トランジスタ Ta の負荷抵抗又は定電流源となっている。従って、この MOS トランジスタ Q1 のソースに接続さ

れる直流電圧 V_{PS}' と、MOSトランジスタ T_a のドレインに接続される直流電圧 V_{PD}' との関係は、 $V_{PD}' < V_{PS}'$ であり、直流電圧 V_{PD}' は例えばグランド電圧（接地）である。MOSトランジスタ Q_1 のドレインはMOSトランジスタ T_a に接続され、ゲートには直流電圧が印加されている。PチャネルのMOSトランジスタ Q_2 は水平走査回路 3 によって制御され、増幅回路の出力を最終的な信号線 9 へ導出する。第 12～第 20 の実施形態のように、画素内に設けられた第 3 MOSトランジスタ T_3 を考慮すると、図 18 (a) の回路は図 18 (b) のように表わされる。

【0087】

＜画像データの補正方法＞

上述した第 5、第 6、第 11、第 12 の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

【0088】

図 24 に示す画像入力装置は、対物レンズ 51 と、該対物レンズ 51 を通して入射される光の光量に応じて電気信号を出力する固体撮像装置 52 と、撮像時の固体撮像装置 52 の電気信号（以下、「画像データ」と呼ぶ。）が入力されて一時記憶されるメモリ 53 と、リセット時の固体撮像装置 52 の電気信号（以下、「補正データ」と呼ぶ。）が入力されて一時記憶されるためのメモリ 54 と、メモリ 53 から送出される画像データからメモリ 54 から記憶される補正データを補正演算する補正演算回路 55 と、補正演算回路 55 で補正データ分補正演算された画像データを演算処理して外部に出力する処理部 56 とを有する。尚、固体撮像装置 52 は、第 5、第 6、第 11、第 12 の実施形態（図 11、図 14、図 22、図 23）のような回路構成の画素が設けられた固体撮像装置である。

【0089】

このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置 52 から各画素毎に画像データがメモリ 53 に出力される。そして、各画素が撮像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画素の感度のバラツキを調べて、補正データをメモリ 54 に出力する。そして、メモリ

5 3 内の各画素の画像データとメモリ 5 4 内の各画素の補正データを、補正演算回路 5 5 にこの画像データを各画素毎に送出する。補正演算回路 5 5 では、メモリ 5 3 から送出された画像データからこの画像データを出力した同一画素のメモリ 5 4 から送出された補正データが各画素毎に補正演算される。この補正データが補正演算された画像データが処理部 5 6 に送出されて、演算処理された後、外部に出力される。尚、上記各メモリ 5 3, 5 4 としては、フレームメモリを用いる必要はなく、ラインメモリであればよいので、固体撮像装置内に組み込むことも容易である。

【 0 0 9 0 】

【発明の効果】

以上説明したように、本発明の固体撮像装置によれば、各画素のリセットを速やかに行うことができるので、撮像時の応答性が良くすることができ、低輝度の被写体を撮像したときに発生する残像をなくすことができる。又、能動素子を M O S トランジスタで構成することにより高集積化が容易となり、周辺の処理回路（A/D コンバータ、デジタル・システム・プロセッサ、メモリ）等とともにワンチップ上に形成することができる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2】 本発明の第 1 の実施形態の 1 画素の構成を示す回路図。

【図 3】 第 1 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 4】 本発明で使用する画素の構成及びポテンシャルの関係を表した図。

【図 5】 本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 6】 図 5 の一部の回路図。

【図 7】 本発明の第 2 の実施形態の 1 画素の構成を示す回路図。

【図 8】 第 2 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 9】本発明の第 3 の実施形態の 1 画素の構成を示す回路図。

【図 1 0】本発明の第 4 の実施形態の 1 画素の構成を示す回路図。

【図 1 1】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 2】第 5 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 3】バラツキ検出時の画素のポテンシャルの関係を表した図。

【図 1 4】本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 1 5】画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 1 6】本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 1 7】画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 1 8】図 2 2 の一部の回路図。

【図 1 9】本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 2 0】本発明の第 9 の実施形態の 1 画素の構成を示す回路図。

【図 2 1】本発明の第 1 0 の実施形態の 1 画素の構成を示す回路図。

【図 2 2】本発明の第 1 1 の実施形態の 1 画素の構成を示す回路図。

【図 2 3】本発明の第 1 2 の実施形態の 1 画素の構成を示す回路図。

【図 2 4】各実施形態の画素を用いた個体撮像装置を備えた画像入力装置の内部構造を示すブロック図。

【図 2 5】従来例の 1 画素の構成を示す回路図。

【符号の説明】

G11 ~ G m n 画素

2 垂直走査回路

3 水平走査回路

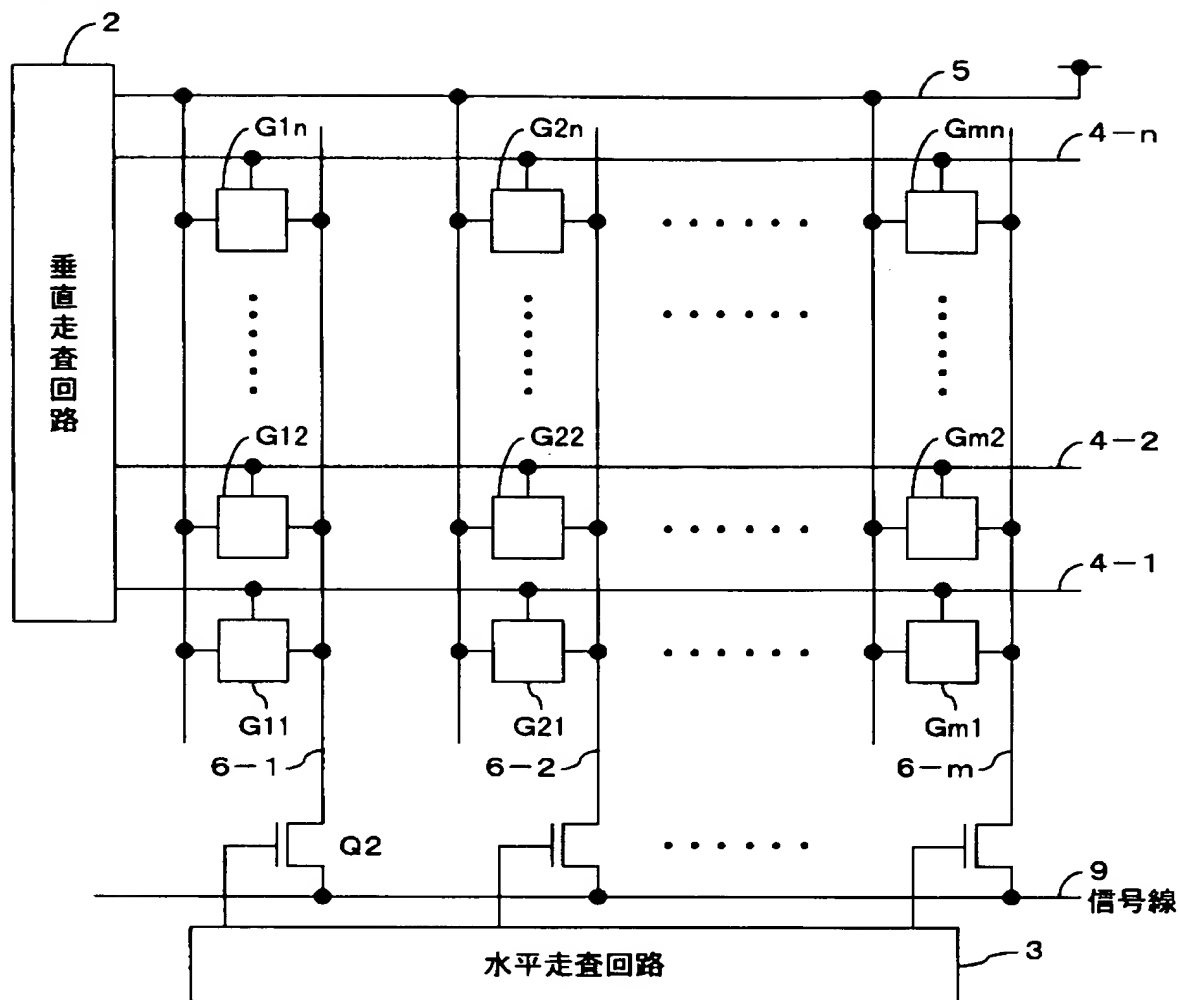
4 - 1 ~ 4 - n 行選択線

6 - 1 ~ 6 - m 出力信号線

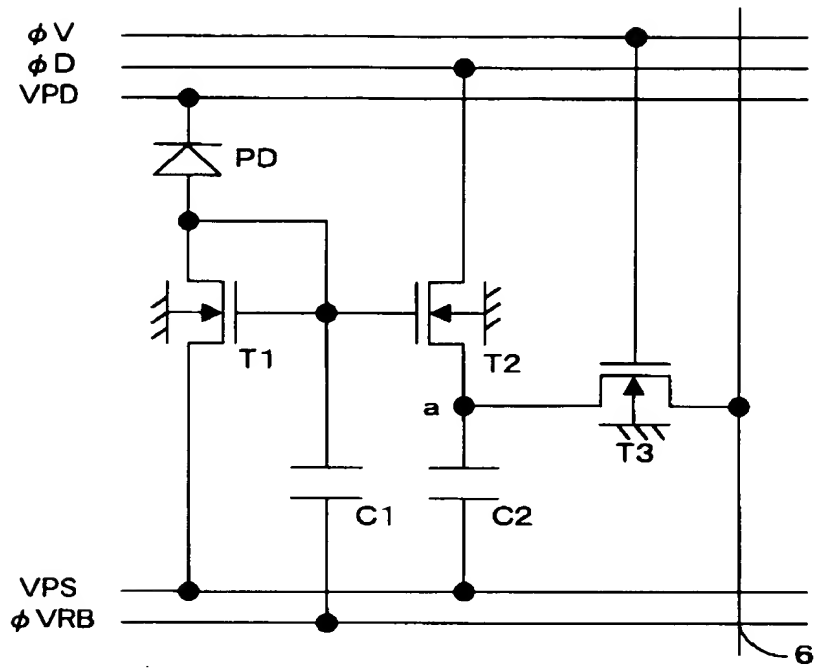
- 7 直流電圧線
- 8 ライン
- 9 信号線
- 1 0 P型半導体基板
- 1 1 N型ウェル層
- 1 2 P型拡散層
- 1 3, 1 4 N型拡散層
- 1 5 酸化膜
- 1 6 ポリシリコン
- 5 1 対物レンズ
- 5 2 固体撮像装置
- 5 3, 5 4 メモリ
- 5 5 補正演算回路
- 5 6 処理部
- P D フォトダイオード
- T 1 ~ T 6 第 1 ~ 第 6 M O S トランジスタ
- C 1, C 2 キャパシタ

【書類名】 図面

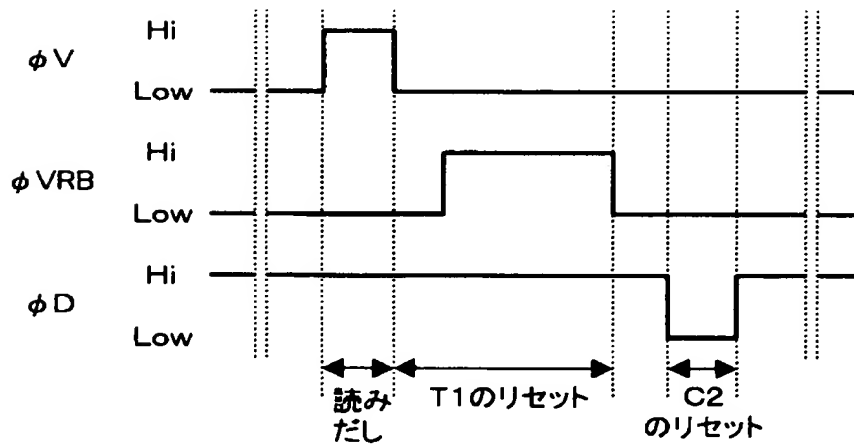
【図 1】



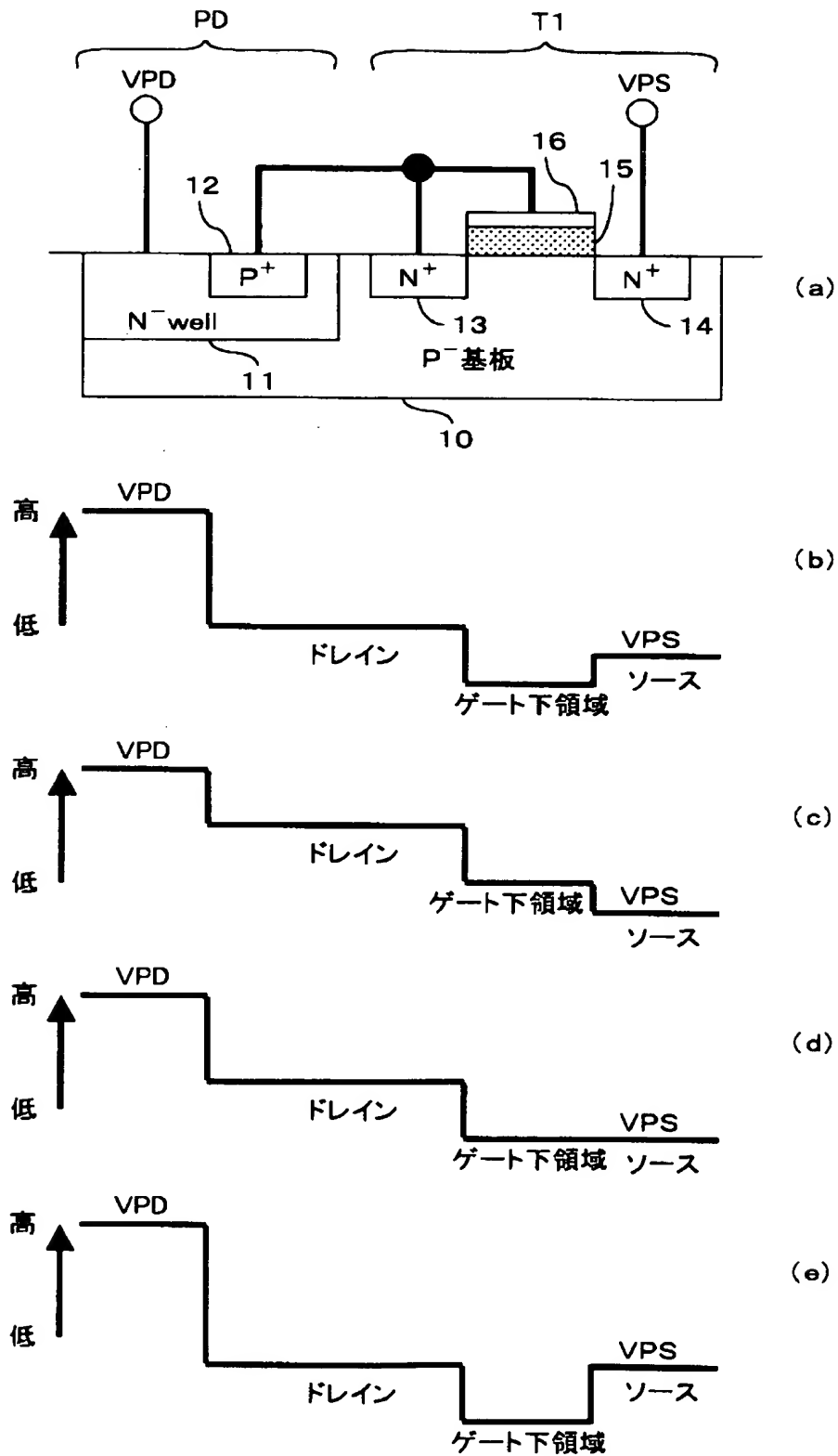
【図 2】



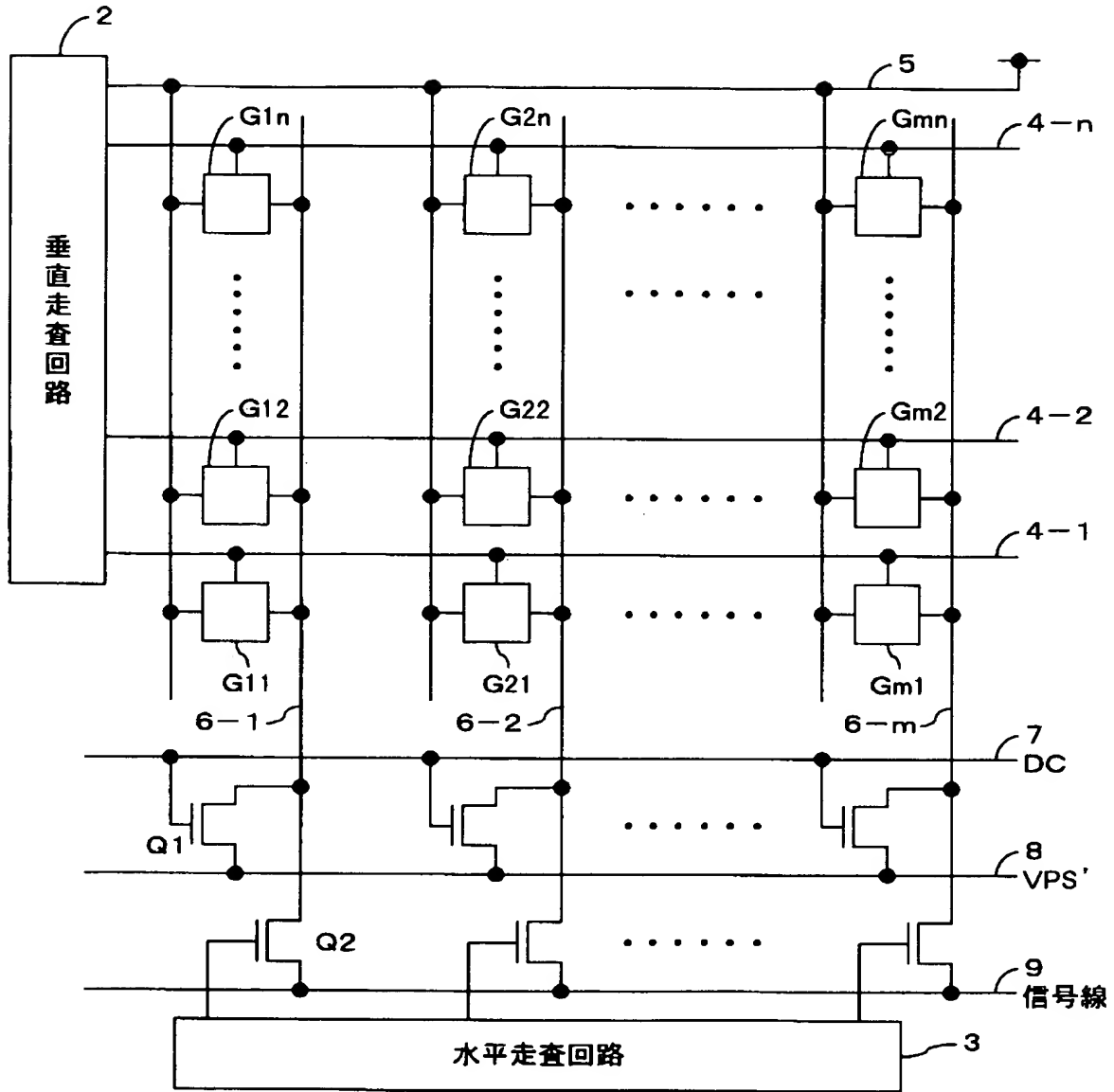
【図 3】



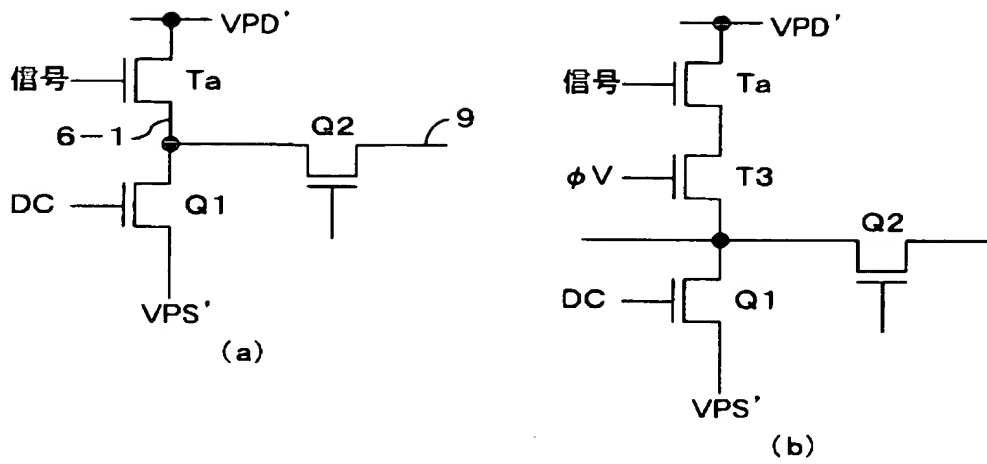
【図 4】



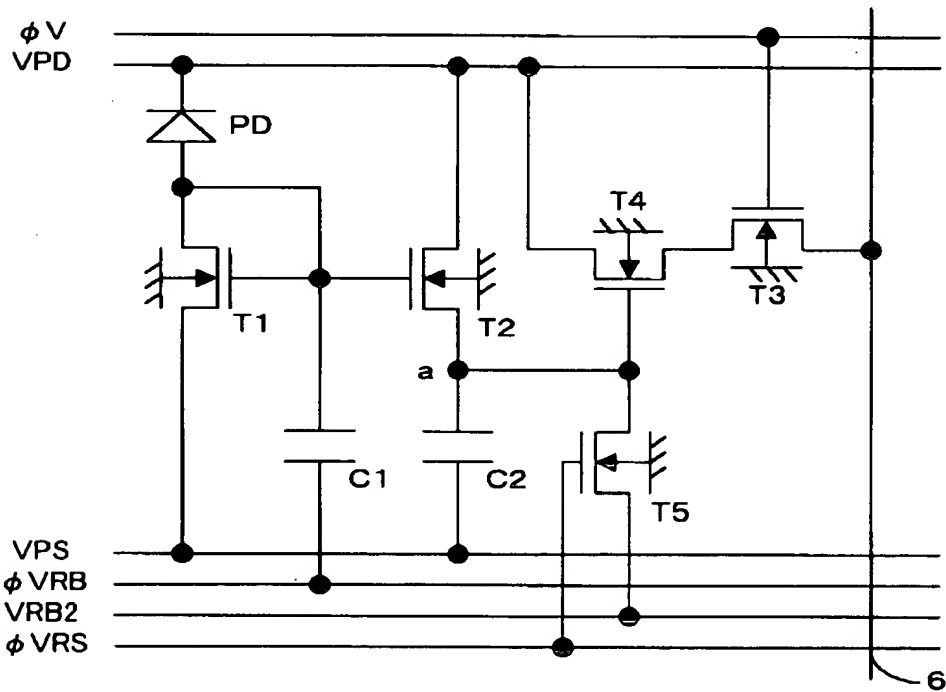
【図 5】



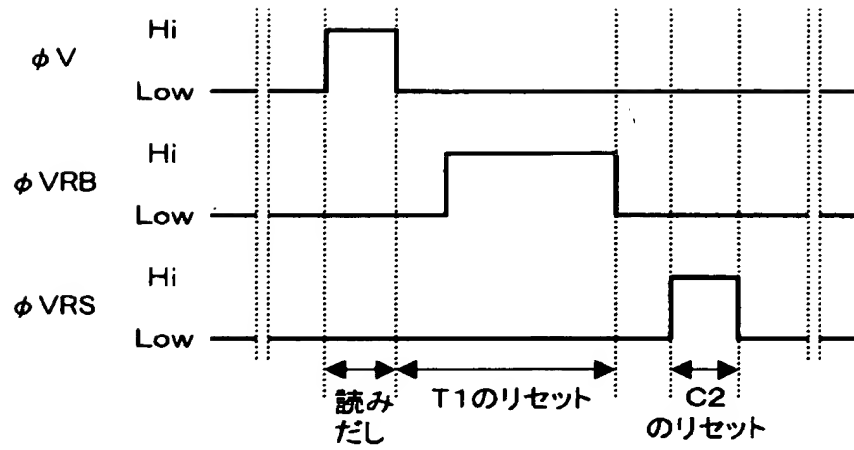
【図 6】



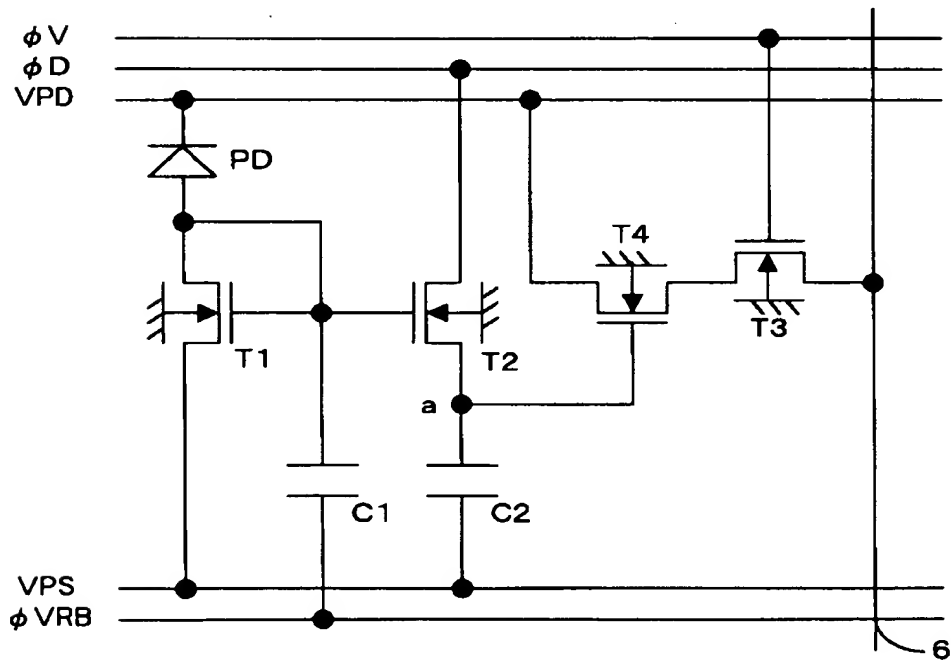
【図 7】



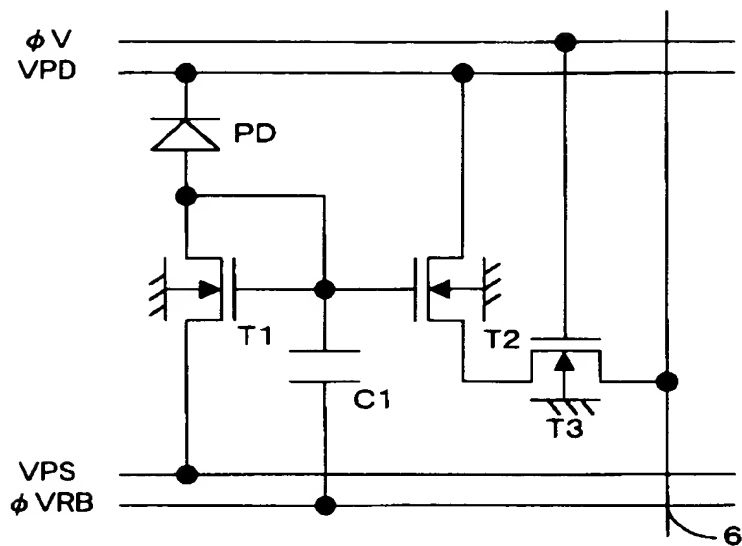
【図 8】



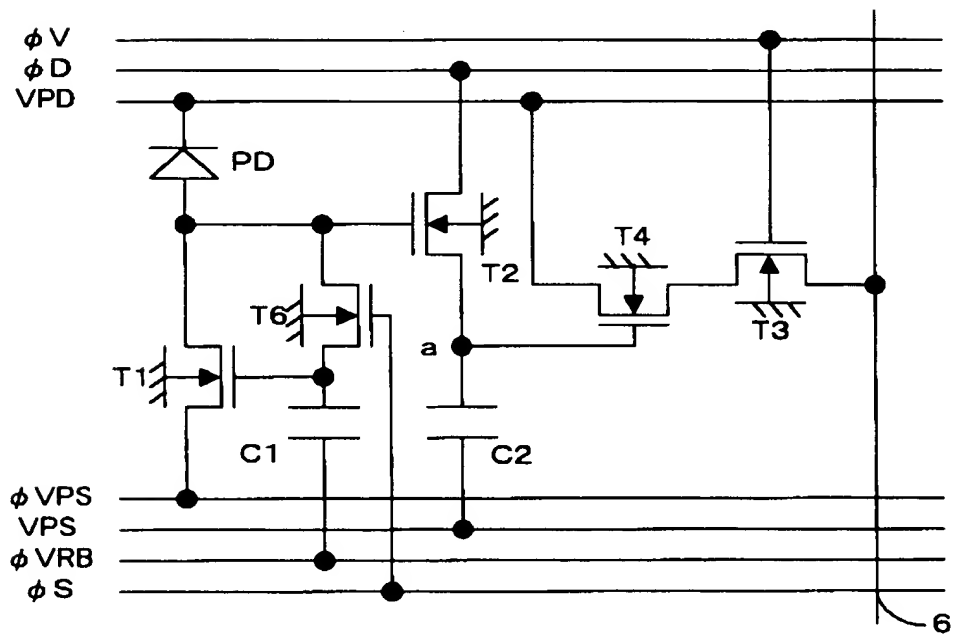
【図 9】



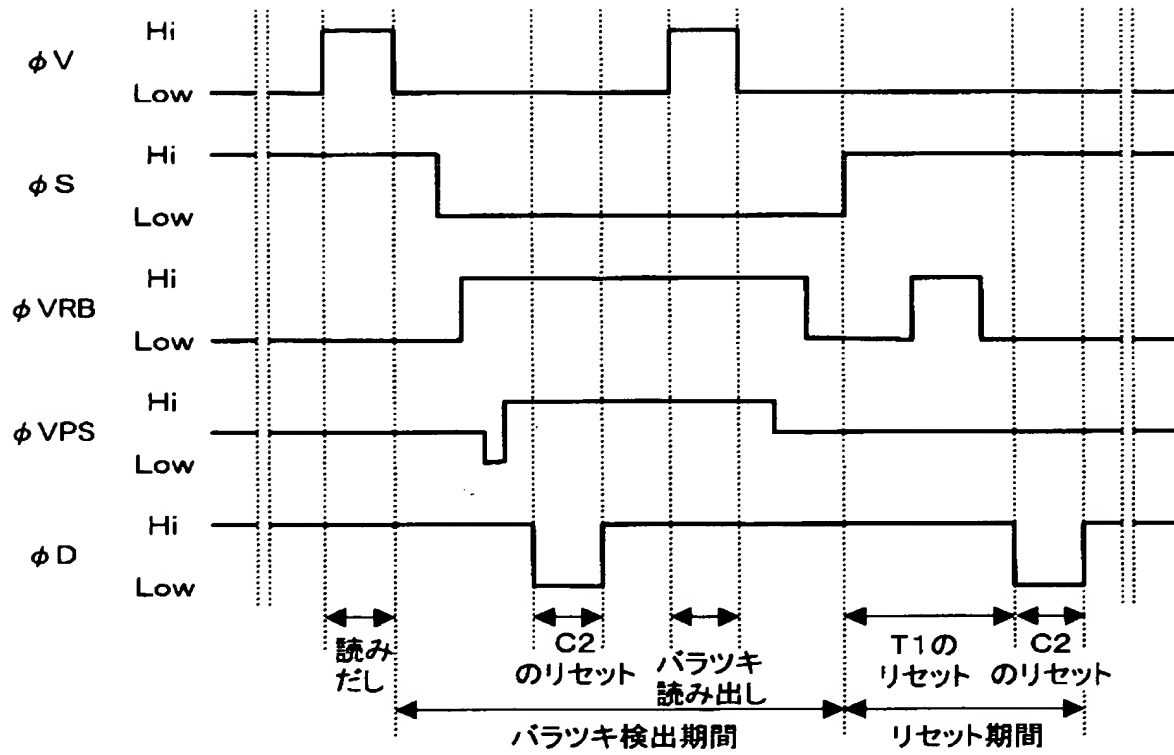
【図 1 0】



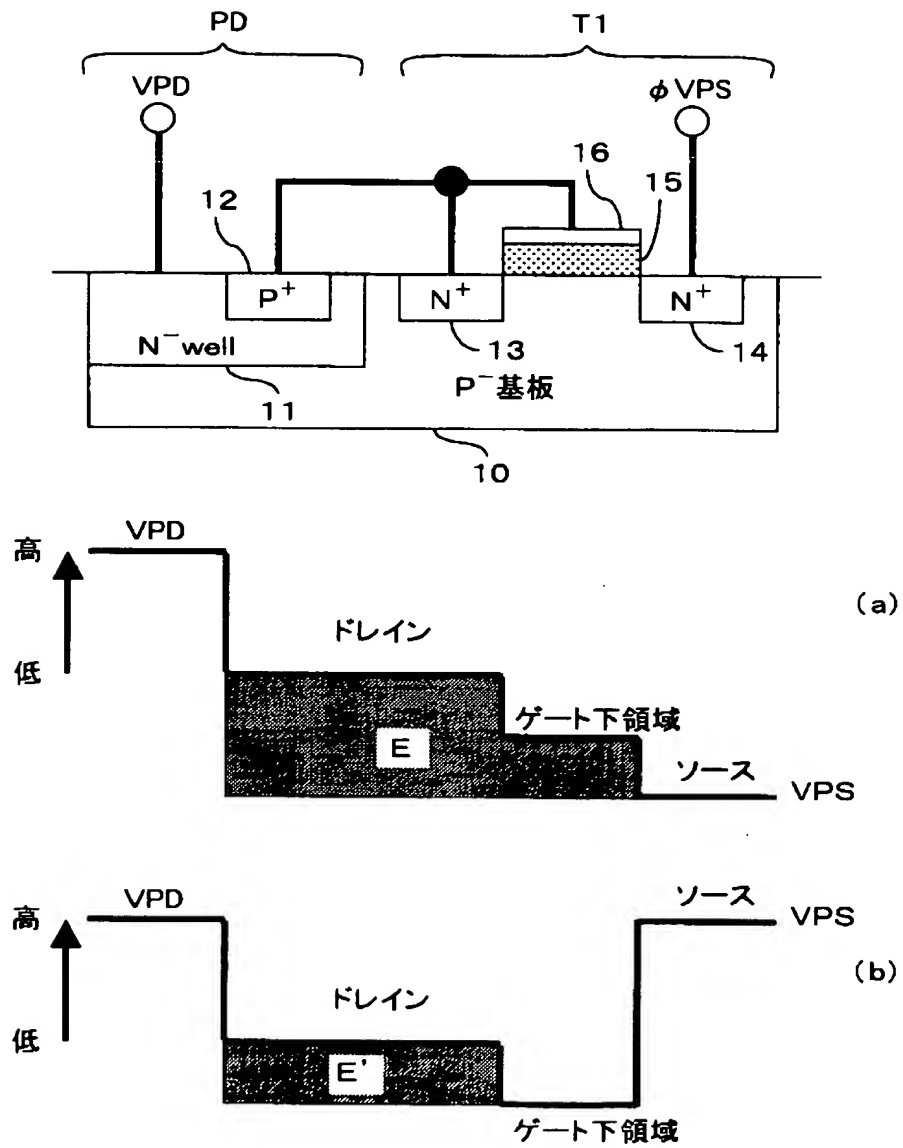
【図 1 1】



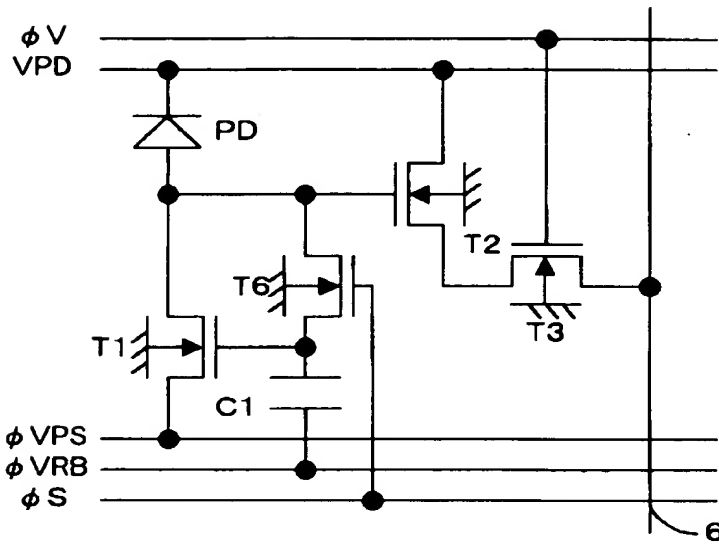
【図 1 2】



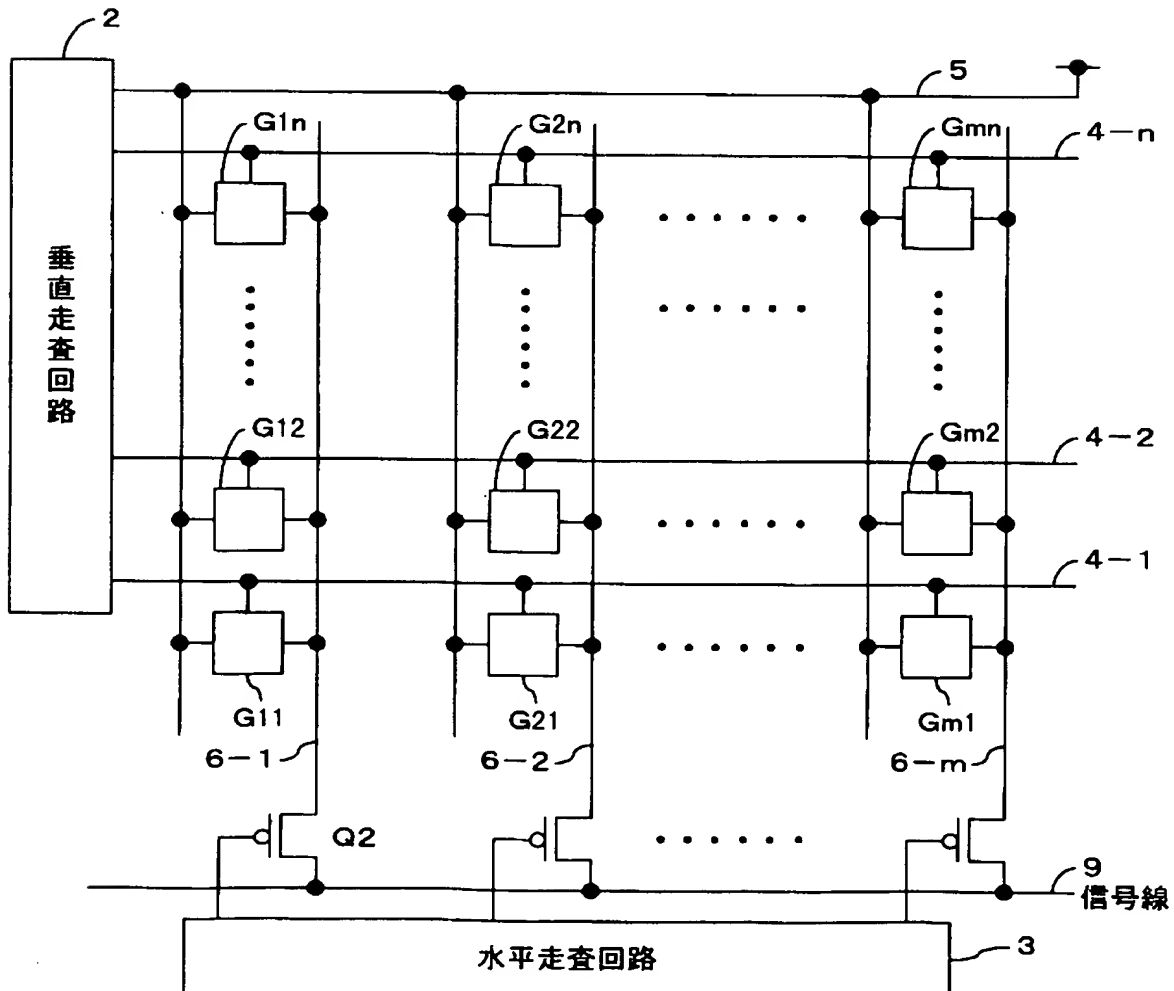
【図 13】



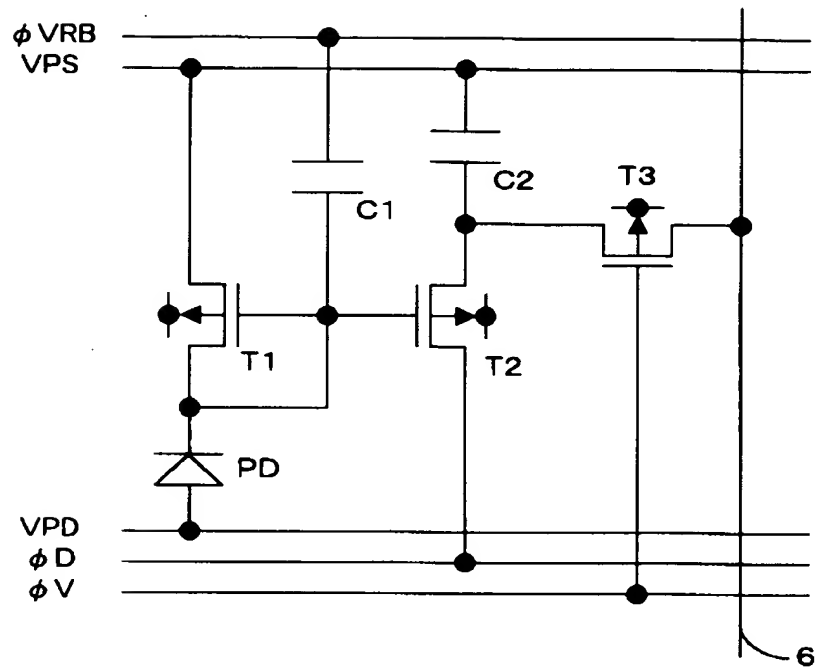
【図 1 4】



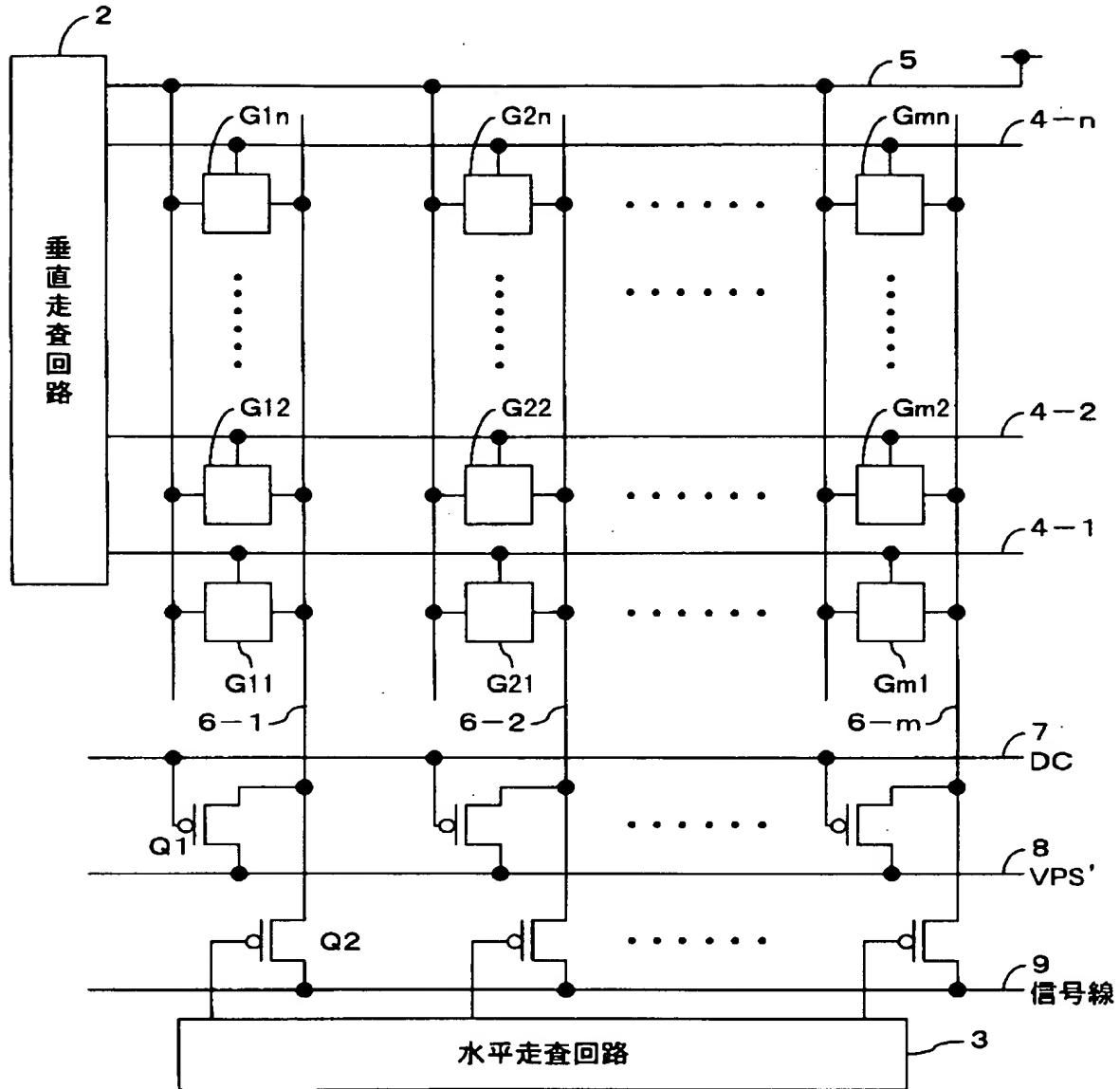
【図 1 5】



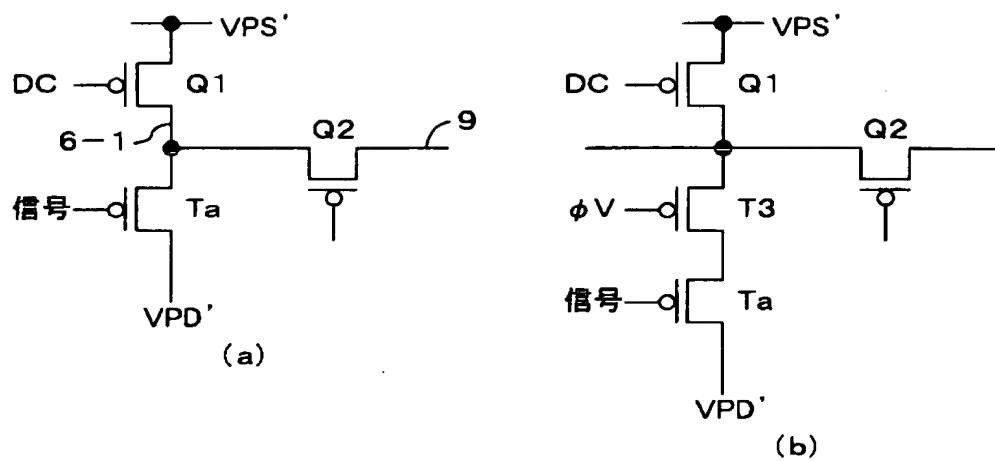
【図 1 6】



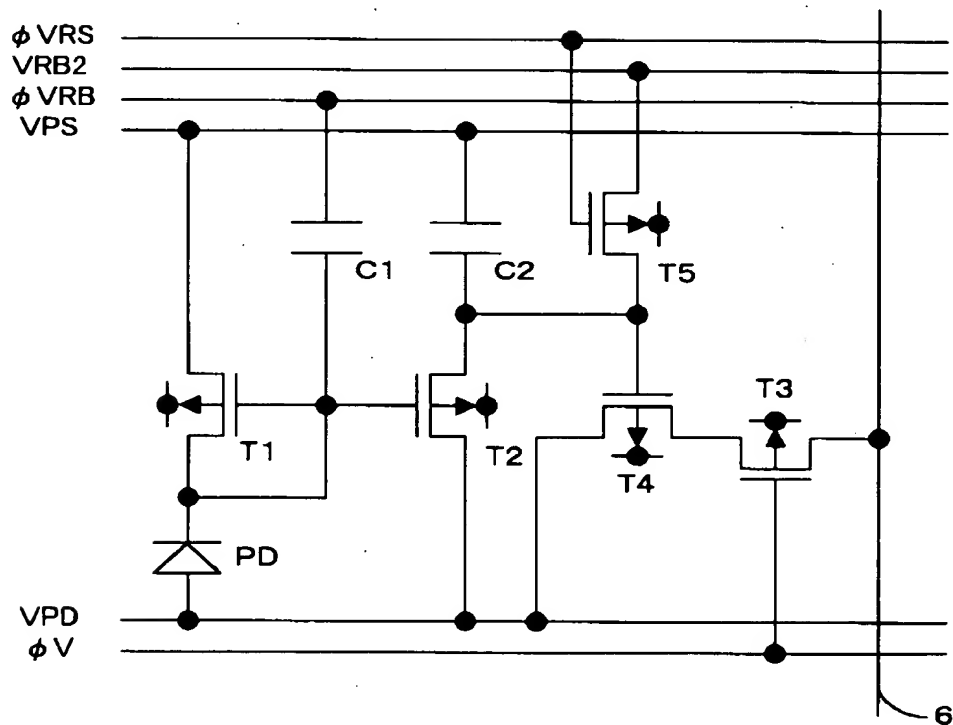
【図 1 7】



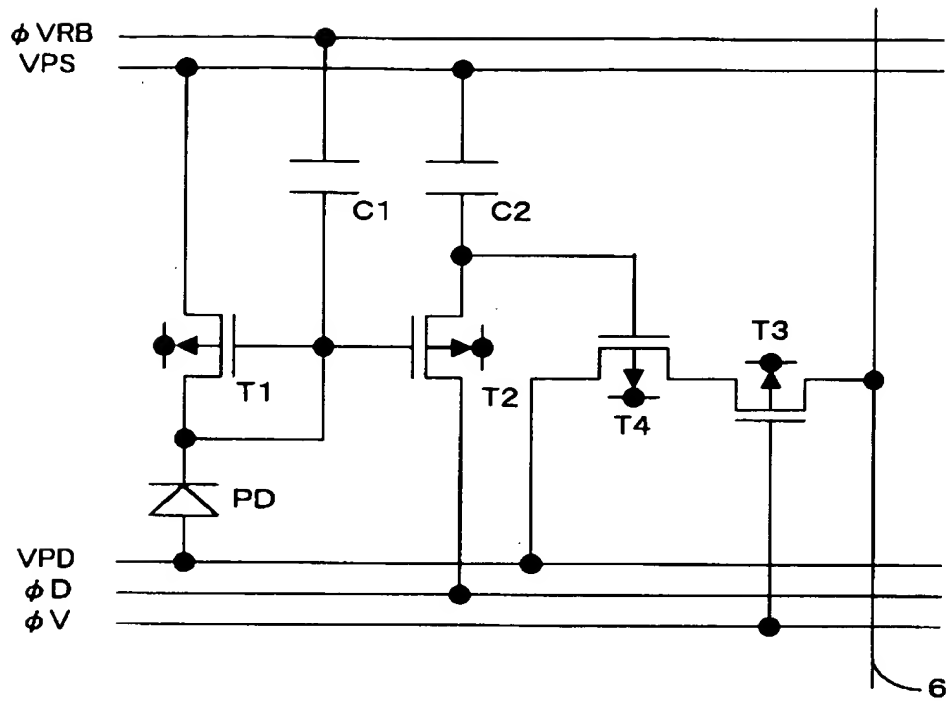
【図 1 8】



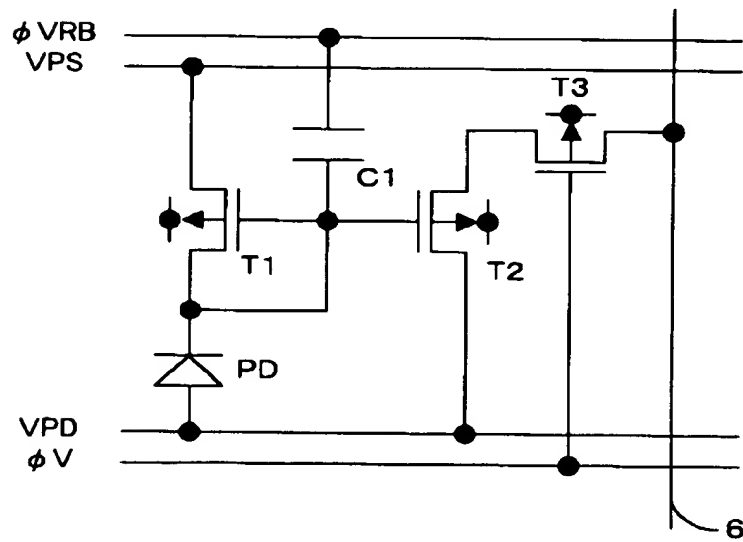
【図 1 9】



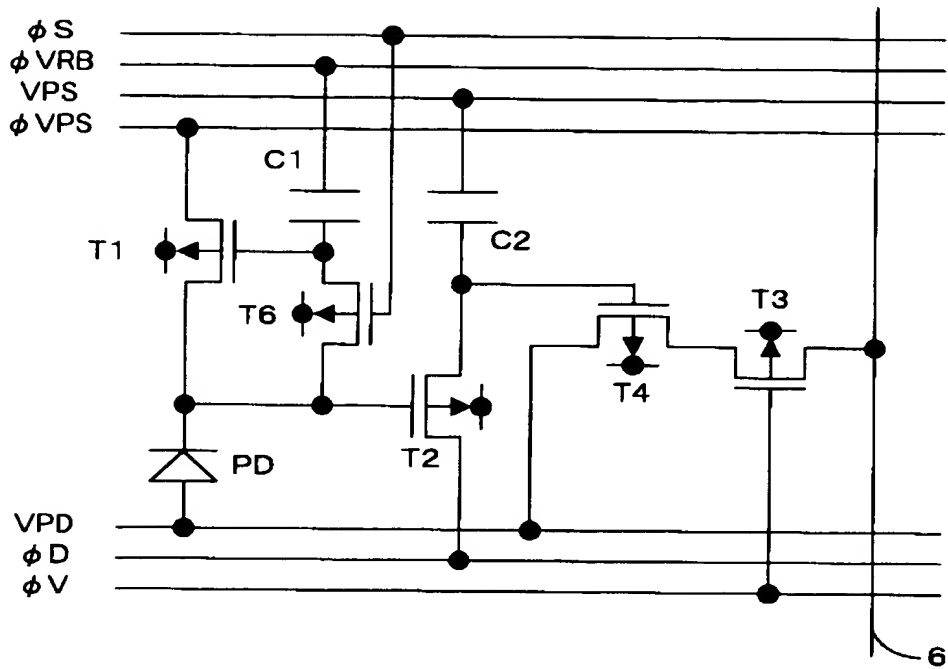
【図 2 0】



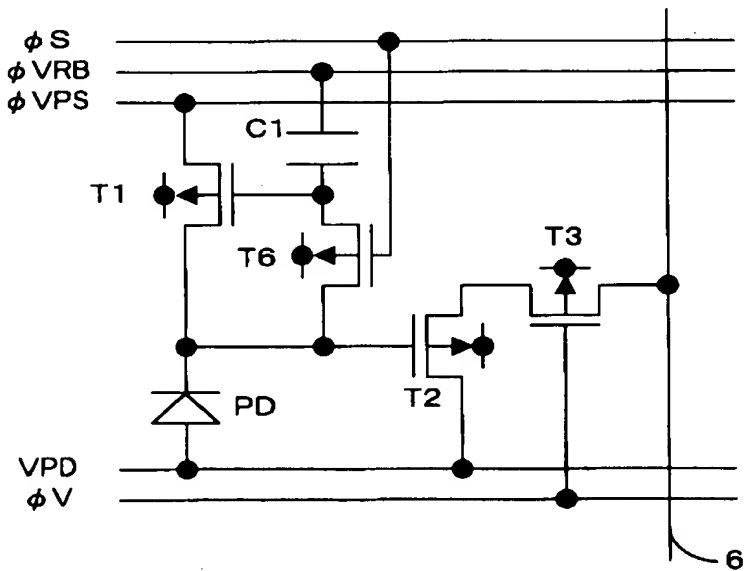
【図 2 1】



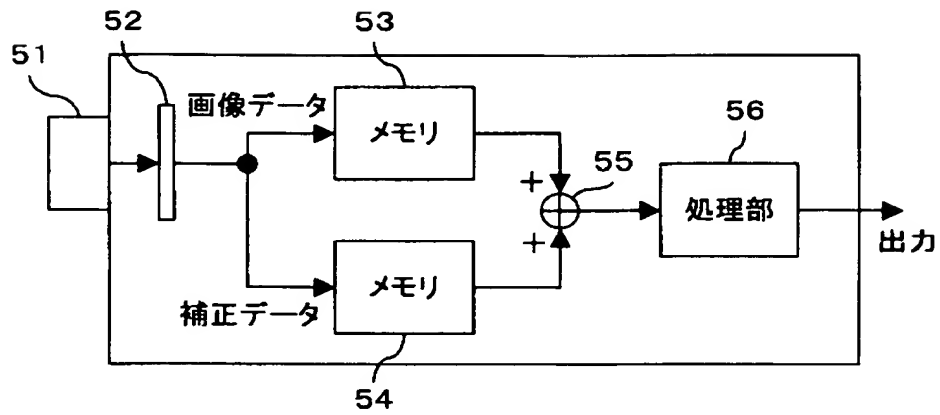
【図 2 2】



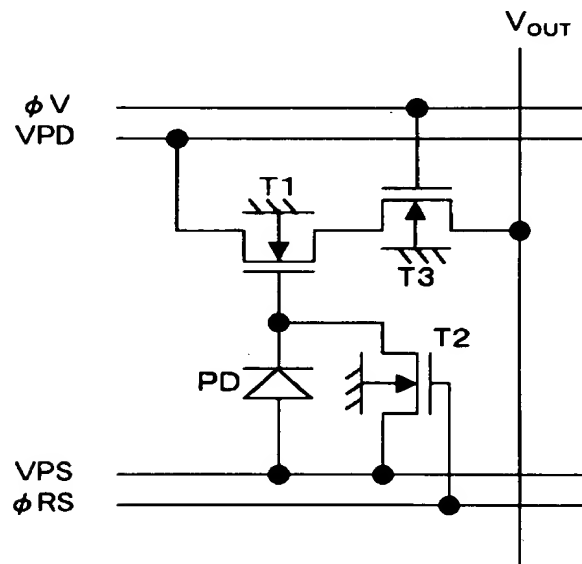
【図 2 3】



【図 2 4】



【図 2 5】



【書類名】 要約書

【要約】

【課題】本発明は、高輝度域から低輝度域までの幅広い輝度範囲の被写体を高精細に撮像することができるとともに、低輝度域でも各画素が高速に基の状態にリセットされる応答性の良い固体撮像装置を提供することを目的とする。

【解決手段】各画素の撮像動作が終了した後、第1 MOS トランジスタ T 1 のゲートに接続されるキャパシタ C 1 に与える信号 ϕ VRB をハイレベルにして、MOS トランジスタ T 1 に負の電荷が流入しやすい状態にすることによって、MOS トランジスタ T 1 のドレイン、ゲート、MOS トランジスタ T 2 のゲート、フォトダイオードのアノード、及びキャパシタ C 2 に蓄積された正の電荷を再結合して速やかにリセットを行う。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日 1994年 7月20日
[変更理由] 名称変更
住 所 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名 ミノルタ株式会社